

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日 2002年12月 6日
Date of Application:

出願番号 特願2002-355344
Application Number:

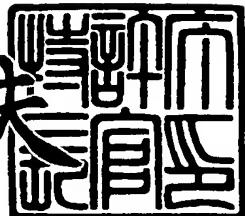
[ST. 10/C] : [JP2002-355344]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年10月14日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 J0094551
【提出日】 平成14年12月 6日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 21/02
H01L 27/00
H01L 27/14
【発明の名称】 チップ内光インターフェクション回路、電気光学装置および電子機器
【請求項の数】 15
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーホームズ株式会社内
【氏名】 近藤 貴幸
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーホームズ株式会社
【代理人】
【識別番号】 100089037
【弁理士】
【氏名又は名称】 渡邊 隆
【代理人】
【識別番号】 100064908
【弁理士】
【氏名又は名称】 志賀 正武
【選任した代理人】
【識別番号】 100110364
【弁理士】
【氏名又は名称】 実廣 信哉

【手数料の表示】**【予納台帳番号】** 008707**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9910485**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 チップ内光インターフェクション回路、電気光学装置および電子機器

【特許請求の範囲】

【請求項 1】 1つの集積回路チップ上に設けられた複数の回路ブロックと

前記回路ブロック同士を光学的に接続するものであって前記集積回路チップ上に設けられた光導波路とを有することを特徴とするチップ内光インターフェクション回路。

【請求項 2】 前記回路ブロック同士は、電気的にも接続されていることを特徴とする請求項 1 記載のチップ内光インターフェクション回路。

【請求項 3】 前記集積回路チップは、前記回路ブロックと電気的に接続されているとともに前記光導波路と光学的に接続されている発光機能又は受光機能を備える微小タイル状素子を有することを特徴とする請求項 1 又は 2 記載のチップ内光インターフェクション回路。

【請求項 4】 前記微小タイル状素子は、前記回路ブロックと電気的に接続されていることを特徴とする請求項 3 記載のチップ内光インターフェクション回路。

【請求項 5】 前記光導波路の少なくとも一部は、前記微小タイル状素子に被さるように設けられていることを特徴とする請求項 3 又は 4 記載のチップ内光インターフェクション回路。

【請求項 6】 前記光導波路の少なくとも一部は、前記回路ブロックの上面に設けられていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 7】 前記光導波路の少なくとも一部は、前記回路ブロックを横切るように該回路ブロック上に設けられていることを特徴とする請求項 1 乃至 5 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 8】 前記光導波路の少なくとも一部は、前記回路ブロックを迂回するように設けられていることを特徴とする請求項 1 乃至 7 のいずれか一項に記

載のチップ内光インターフェクション回路。

【請求項 9】 前記回路ブロックは、 C P U、 メモリ回路、 D S P、 R F 増幅回路、 イメージセンサ及びバイオセンサのうちのいずれかであることを特徴とする請求項 1 乃至 8 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 10】 前記光導波路は、 データ信号又はクロック信号の伝送路であることを特徴とする請求項 1 乃至 9 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 11】 前記微小タイル状素子は、 1 つの前記回路ブロックに複数設けられており、

前記光導波路は、 1 つの前記回路ブロックに設けられている複数の微小タイル状素子毎に設けられていることを特徴とする請求項 3 乃至 10 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 12】 前記集積回路チップは、 基板上に複数実装されており、 該複数の集積回路チップ同士は、 発光機能又は受光機能を備えた微小タイル状素子と基板上に設けられた光導波路とを少なくとも介して光学的に接続されていることを特徴とする請求項 1 乃至 11 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 13】 前記集積回路チップは、 基板上に複数実装されており、 該集積回路チップ同士が密着しており、

該集積回路チップ同士は、 光学的又は電気的に接続されていることを特徴とする請求項 1 乃至 11 のいずれか一項に記載のチップ内光インターフェクション回路。

【請求項 14】 請求項 1 乃至 13 のいずれか一項に記載のチップ内光インターフェクション回路を備えたことを特徴とする電気光学装置。

【請求項 15】 請求項 1 乃至 13 のいずれか一項に記載のチップ内光インターフェクション回路を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、チップ内光インターフェクション回路、電気光学装置および電子機器に関する。

【0002】**【従来の技術】**

L S I (大規模集積回路) は、当初D R A M (Dynamic Random Access Memory) やM P U (Micro Processing Unit) のように特定の機能をもつ集積回路として進歩してきたが、M P Uの高速化にともなって高速キャッシュメモリとしてのS R A M (Static Random Access Memory) を同一チップ内に取り込むようになった。さらに現在ではフラッシュメモリ、D S P (Digital Signal Processor) 、D R A Mなどをワンチップに集積することで高機能な情報処理システムへと進化してきている。

【0003】

このように異なる機能を持つ集積回路を同一チップ内に形成したL S I は、システムオンチップ (S O C : System On a Chip) とよばれている。S O C では、異なる機能をもつ集積回路 (回路ブロック) はワンチップ上に平面的に形成され各回路ブロック間はグローバル配線とよばれる電気配線で接続される。S O C の動作速度は、このグローバル配線の信号遅延や消費電力の増大といった問題によって制限される (例えば、非特許文献1参照) 。

【0004】**【非特許文献1】**

応用物理学会発行の応用物理、第71巻第9号(2002) p1091-11
01

【0005】

この各回路ブロック間の信号伝達を光信号で行うことができれば、電気的グローバル配線で発生する信号遅延や消費電力の増大などの問題を回避でき、L S I の処理速度を著しく高めることが可能となる。

そして、光信号を用いてデータ伝達するには、光源から放射された光信号を所定の場所まで伝達して、受光素子などに入力する光伝送手段が必要になる。従来

このような光伝送手段としては、光ファイバーを利用した技術、又は基板上に形成した光導波路を利用した技術がある。

【0006】

【発明が解決しようとする課題】

しかしながら、光伝送手段として光ファイバーを利用した場合、発光素子及び受光素子などの光部品との接続が繁雑になり、その製造に多大なコスト及び時間がかかるとともに、光伝送手段の小型化が困難になるという問題がある。

【0007】

これに対し、基板上に形成した光導波路を利用することによって、光伝送媒体と発光素子及び受光素子などとの接続を簡単にすることができる。しかし、この光導波路に適した入出力構造が未だ見いだされていないのが現状であり、集積回路内に適用できるほどの微細化及び製造容易化が図られた光伝送手段は実現されていない。

【0008】

本発明は、上記事情に鑑みてなされたもので、信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができるチップ内光インターフェクション回路、電気光学装置および電子機器の提供を目的とする。

【0009】

【課題を解決するための手段】

上記した目的を達成するために本発明のチップ内光インターフェクション回路は、1つの集積回路チップ上に設けられた複数の回路ブロックと、前記回路ブロック同士を光学的に接続するものであって前記集積回路チップ上に設けられた光導波路とを有することを特徴とする。

本発明によれば、1つの集積回路チップ上に設けられた複数の回路ブロック同士間において、光導波路を伝播する光信号を用いて極めて高速にデータ伝送することができる。そこで、本発明によれば、例えば回路ブロックとしてC P U及び記憶装置などを構成することで、従来のコンピュータシステムのボトルネックとなっていたC P Uと記憶装置間の信号伝送速度を飛躍的に向上させることができ

る。

【0010】

また、本発明のチップ内光インターフェクション回路は、前記回路ブロック同士が電気的にも接続されていることが好ましい。

本発明によれば、回路ブロック間において、比較的高速に伝送する必要がない信号及び電力供給などについてはメタル配線などにより電気的に伝送することができ、高速性を要する信号は光導波路によって高速に伝送することができる。そこで、本発明によれば、簡素な構成でありながら、その構成全体として高速に信号処理することができるシステムを提供することができる。

【0011】

また、本発明のチップ内光インターフェクション回路は、前記集積回路チップが、前記回路ブロックと電気的に接続されているとともに前記光導波路と光学的に接続されている発光機能又は受光機能を備える微小タイル状素子を有することが好ましい。

本発明によれば、集積回路チップ上の回路ブロック近辺などに接着剤で貼り付け等した微小タイル状素子により、回路ブロックの入出力信号を電気信号から光信号へ又は光信号から電気信号に変換することができる。したがって本発明によれば、微小タイル状素子と光導波路を用いて、回路ブロック間におけるデータ伝送を極めて高速化することができる。そこで、本発明によれば、微小タイル状素子を非常に小さな形状（例えば、数百 μm 四方以下の面積と数十 μm 以下の厚さをもつもの）にすることができ、光導波路もコンパクトな形状にすることができるので、極めてコンパクトな構成でありながら、従来よりも高速に信号処理することができるシステムを簡便に提供することができる。

【0012】

また、本発明のチップ内光インターフェクション回路は、前記微小タイル状素子が前記回路ブロックと電気的に接続されていることが好ましい。

本発明によれば、回路ブロックの電気信号を微小タイル状素子で光信号に変換することができ、その微小タイル状素子と光導波路を介して、回路ブロック同士間で極めて高速にデータ伝送することができる。

また本発明によれば、発光機能又は受光機能を有する微小タイル状素子を回路ブロック上の所望位置に接着剤などで貼り付けることにより、さらにコンパクトな構成にすることができる。また、本発明によれば、回路ブロックと微小タイル状素子間の電気的接続を、該回路ブロック内のメタル配線及び電極などを用いて行え、回路ブロックの外側にメタル配線及び電極などを形成する必要がないので、簡素な製造工程で実現することができる。

【0013】

また、本発明のチップ内光インターフェクション回路は、前記光導波路の少なくとも一部が前記微小タイル状素子に被さるように設けられていることが好ましい。

本発明によれば、発光機能をもつ微小タイル状素子から放射された光を全て光導波路に入射させることができ、受光機能をもつ微小タイル状素子へ光導波路を伝播する光を効率よく入射させることができる。そこで、本発明によれば、簡便で製造し易い構成の前記チップ内光インターフェクション回路を提供することができる。

【0014】

また、本発明のチップ内光インターフェクション回路は、前記光導波路の少なくとも一部が前記回路ブロックの上面に設けられていることが好ましい。

本発明によれば、例えば各回路ブロックの上に微小タイル状素子を貼り付けた場合、その微小タイル状素子同士を1本の光導波路で接続することができる。そこで、本発明によれば、より簡便で製造し易い構成の前記チップ内光インターフェクション回路を提供することができる。

【0015】

また、本発明のチップ内光インターフェクション回路は、前記光導波路の少なくとも一部が、前記回路ブロックを横切るように該回路ブロック上に設けられていることが好ましい。

本発明によれば、集積回路チップ上において、回路ブロック上であるか否かにかかわらず光導波路を配置することができるので、光導波路の経路長を短縮することができる。

【0016】

また、本発明のチップ内光インターフェクション回路は、前記光導波路の少なくとも一部が、前記回路ブロックを迂回するように設けられていることが好ましい。

本発明によれば、集積回路チップ上において、例えば回路ブロック領域と非回路ブロック領域と境界の段差が比較的大きい場合、回路ブロック領域を迂回するように光導波路を設けることで、光信号の伝送における光結合効率を高めることができることである。

【0017】

また、本発明のチップ内光インターフェクション回路は、前記回路ブロックがC P U (M P U)、メモリ回路、D S P、R F 増幅回路などのアナログ回路、イメージセンサ、バイオセンサのうちのいずれかであることが好ましい。

本発明によれば、例えば従来のコンピュータシステムにおいて高速情報処理化のボトルネックとなっていたC P Uとメモリ回路間の信号伝送速度を飛躍的に向上させることができる。また、本発明によれば、従来多数のメタル配線を用いてC P Uとメモリ回路間のバスを形成していた構成を、例えば1本の光導波路と微小タイル状素子に置き換えることができるので、従来のワンチップコンピュータよりもコンパクトで高性能なコンピュータシステムを提供することができる。

【0018】

また、本発明のチップ内光インターフェクション回路は、前記光導波路がデータ信号又はクロック信号の伝送路であることが好ましい。

本発明によれば、コンパクトな構造をもって、データ信号及びクロック信号を高速に伝送することができる。

【0019】

また、本発明のチップ内光インターフェクション回路は、前記微小タイル状素子が1つの前記回路ブロックに複数設けられており、前記光導波路は、1つの前記回路ブロックに設けられている複数の微小タイル状素子毎に設けられていることが好ましい。

本発明によれば、1つの回路ブロックについての複数の入出力信号を、複数組

の微小タイル状素子及び光導波路で並列に伝送することができる。したがって、本発明によれば、回路ブロック相互間の伝送速度をさらに向上させることができる。

【0020】

また、本発明のチップ内光インターフェクション回路は、前記集積回路チップが基板上に複数実装されており、該複数の集積回路チップ同士は、発光機能又は受光機能を備えた微小タイル状素子と基板上に設けられた光導波路とを少なくとも介して光学的に接続されていることが好ましい。

本発明によれば、例えば、複数の集積回路チップからなる大規模なコンピュータシステム又は液晶表示装置などの電気光学装置を、コンパクトに構成することができ、また高速動作させることができる。

【0021】

また、本発明のチップ内光インターフェクション回路は、基板上に複数実装されており、該集積回路チップ同士が密着しており、該集積回路チップ同士は、光学的又は電気的に接続されていることが好ましい。

本発明によれば、前記集積回路チップを複数基板上に実装し、該集積回路チップ同士の側面などを密着させることにより、該集積回路チップ間を簡便に光学的又は電気的に接続することができる。そこで、本発明によれば、各集積回路チップ内の信号伝送だけでなく、各集積回路同士間での信号伝送についても、光信号又は電気信号により高速化することができ、複数の集積回路チップからなる大規模なコンピュータシステムなどをさらに高速化及びコンパクト化することができる。

【0022】

本発明の電気光学装置は、前記チップ内光インターフェクション回路を備えたことを特徴とする。

本発明によれば、液晶表示装置、エレクトロルミネッセンスパネル及びプラスマディスプレイなどの電気光学装置において、タイミングコントロール回路及びドライバ回路などを前記チップ内光インターフェクション回路で構成することができる。そこで、本発明によれば、電気光学装置の走査信号及びデータ信号など

を前記チップ内光インターフェクション回路によって伝送するができ、高速に各画素を駆動制御することができ、平面ディスプレイ装置における画面の大型化、高品位化及びさらなるコンパクト化を実現することができる。

【0023】

本発明の電子機器は、前記チップ内光インターフェクション回路を備えたことを特徴とする。

本発明によれば、CPU及びメモリ回路などを前記チップ内光インターフェクション回路で構成したモジュールを備える電子機器とすることで、従来よりも高速に信号処理することができ、かつコンパクトで高性能な電子機器を安価に提供することができる。

また、本発明によれば、例えば、表示装置にチップ内光インターフェクション回路を適用することで、高品位な画像を表示することができるコンパクトな電子機器を安価に提供することができる。

【0024】

【発明の実施の形態】

以下、本発明の実施形態に係るチップ内光インターフェクション回路について図面を参照して説明する。

【0025】

本実施形態は、1つの集積回路チップ（ICチップ、LSIチップ）上に設けられた複数の回路ブロックを光導波路などで光学的に接続するものである。図1は本発明の実施形態に係るチップ内光インターフェクション回路を示す斜視図である。

【0026】

1つの集積回路チップ10d上には、3つの回路ブロック240a, 240b, 240cが形成されている。集積回路チップ10dは半導体チップからなる。なお、集積回路チップ10d上に形成される回路ブロックの数は、3つに限定されるものではなく、2つ以上であればよい。また集積回路チップ10d上には、回路ブロック以外の回路又は電子素子などが形成されていてもよい。

【0027】

回路ブロック240a, 240b, 240cは、C P U、メモリ回路、映像信号処理回路、映像信号ドライブ回路、通信I/O、各種インターフェース回路、A/Dコンバータ、D/Aコンバータなどを構成するものである。例えば回路ブロック240aがC P Uを構成し、回路ブロック240bが第1メモリ回路を構成し、回路ブロック240cが第2メモリ回路を構成するものとする。なお、回路ブロック240a, 240b, 240cは、バイポーラ集積回路、M O S集積回路、C M O S集積回路又はS O S (Silicon On Sapphire) 集積回路などとして集積回路チップ10d上に形成することができる。

【0028】

各回路ブロック240a, 240b, 240c同士は、メタル配線231によって電気的に接続されている。

また、各回路ブロック240a, 240b, 240cには、微小タイル状素子200が設けられている。微小タイル状素子200は発光機能又は受光機能を有する微小なタイル形状の素子である。発光機能を有する微小タイル状素子は、例えば面発光レーザ (V C S E L) 、電界吸収変調内蔵のD F B (Distributed Feedback) レーザ又はL E Dなどを備えるものとする。受光機能を有する微小タイル状素子は、例えばフォトダイオード又はフォトトランジスタなどを備えるものとする。そして、微小タイル状素子200は、例えば数百 μ m四方以下の面積と数十 μ m以下の厚さをもつものであって、基板10の表面に接着剤などで貼り付けられたものとする。微小タイル状素子200は、回路ブロック（回路ブロック240a, 240b, 240cのいずれか）と電気的に接続されている。

【0029】

集積回路チップ10d上には、光導波路30も形成されている。光導波路30は、集積回路チップ10dの上面、回路ブロック240a, 240b, 240cの上面及びメタル配線231の上面に渡って棒状に形成された光導波路材からなるものである。この光導波路材の厚み（高さ）は、集積回路チップ10d表面と回路ブロック240a, 240b, 240c又は微小タイル状素子200並びにメタル配線231とがなす段差よりも十分大きな値とすることが好ましい。これは、光導波路30における光結合効率を高めるためである。

【0030】

光導波路材としては、透明樹脂又はゾルゲルガラスなどを適用することができます。また、光導波路30をなす光導波路材は、各微小タイル状素子200を被うように形成されている。したがって、各微小タイル状素子200は、光導波路30によって光学的に接続されている。さらに、光導波路材の表面には、外乱光の入射を防ぐための光吸収膜又は光反射膜を形成してもよい。

【0031】

このような構成により、例えばCPUをなす回路ブロック240aから出力された信号（データ）は、回路ブロック240a上の微小タイル状素子200によって光信号に変換される。この微小タイル状素子200から放射された光信号は、光導波路30に入射してその光導波路30内を伝播する。この光信号は、回路ブロック240b及び回路ブロック240cそれぞれの微小タイル状素子200で電気信号に変換され、回路ブロック240b及び回路ブロック240cそれぞれに入力される。したがって、本実施形態によれば、微小タイル状素子200と光導波路30を用いて、集積回路チップ10d上の各回路ブロック240a, 240b, 240c間におけるデータ伝送を光信号で極めて高速化することができる。

【0032】

例えば本実施形態において、回路ブロック240aがCPUを構成し、回路ブロック240bが第1メモリ回路を構成し、回路ブロック240cが第2メモリ回路を構成するものとする。するとCPUと複数のメモリ回路間のデータ伝送を、光信号により極めて高速化することができる。そこで、本実施形態によれば、CPUから出力された1つのデータを2つ以上のメモリ回路に分けて同時に書き込みストライピングを行うこともでき、CPUとメモリ回路間のデータ伝送をさらに高速化することができる。

【0033】

光導波路30を伝播する光信号は、クロック信号としてもよい。例えば回路ブロック240aの微小タイル状素子200からクロック信号（光信号）が放射され、そのクロック信号が光導波路30を伝播して他の回路ブロック240b, 2

40cの微小タイル状素子200に入力されることとする。このような構成とすることにより、従来よりも周波数の高いクロック信号で光導波路30を介して配信することができ、各回路ブロック240a, 240b, 240cを高速動作させることができる。

【0034】

また、本実施形態においては、各回路ブロック240a, 240b, 240c相互間は、メタル配線231により電気的に接続されている。そこで、比較的高速に伝送する必要がない信号及び電力供給などについてはメタル配線231を介して伝送することができる。

【0035】

また、本実施形態においては、各回路ブロック240a, 240b, 240c上に貼り付けた微小タイル状素子200で電気信号と光信号の変換を行うので、非常にコンパクトな光信号伝送手段を簡便に製造することができる。

【0036】

また、本実施形態においては、光導波路30が回路ブロック240bを横切るように、各回路ブロック240a, 240b, 240c上に設けられている。そこで、光導波路30の経路長を短縮することができる。光導波路30は、集積回路チップ10d上において、回路ブロック240a, 240b, 240cの上面であるか否かにかかわらず形成することができる。

【0037】

そして、光導波路30は、回路ブロック240a, 240b, 240cを迂回するように集積回路チップ10dの表面に設けてもよい。このようにすると、集積回路チップ10d表面において、回路ブロック240a, 240b, 240cの領域表面と他の領域表面との段差が大きい場合でも、光導波路30が平らな面に設けられるので、光信号伝送過程での光結合効率を高めることができる。

光導波路30は、図1に示すような直線状に限らず、曲げや分岐あるいはループ状に形成することもできる。

【0038】

図1に示す実施形態では回路ブロック240a, 240b, 240c毎に1つ

ずつ微小タイル状素子 200 が貼り付けられており、1 本の光導波路 30 で各微小タイル状素子 200 を接続しているが、各回路ブロック 240a, 240b, 240c 毎に複数の微小タイル状素子 200 を貼り付けてもよい。そして複数本の光導波路 30 によって各微小タイル状素子 200 を接続してもよい。このようにすることにより、複数組の微小タイル状素子 200 及び光導波路 30 を用いて複数の光信号を並列に伝送することができ、データ伝送速度をさらに高速化することができる。

【0039】

図 1 に示す実施形態では、全ての回路ブロック 240a, 240b, 240c が光導波路 30 で接続されているが、一部の回路ブロック間（例えば回路ブロック 240a と回路ブロック 240b 間）のみを光導波路 30 で接続してもよい。

【0040】

さらに、図 1 に示す集積回路チップ 10d を所望の基板上に複数実装してもよい。この場合、各集積回路チップ 10d 同士の側面を密着させて基板上に配置することが好ましい。各集積回路チップ 10d は、フリップチップ実装することが好ましい。これらのようにすることにより、複数の集積回路チップ 10d を基板上にコンパクトに実装することができる。また、これらのようにすることで、各集積回路チップ 10d 同士を上記微小タイル状素子 200 及び光導波路 30 で接続することも容易に行える。したがって、複数の集積回路チップ 10d からなる大規模なコンピュータシステムなどを、コンパクトにかつ高性能にすることができる。

【0041】

(光インターフェクション回路)

次に、上記実施形態のチップ内光インターフェクション回路の要素となる光インターフェクション回路について詳細に説明する。以下では、微小タイル状素子と光導波路からなる光インターフェクション回路を基板 10 上に形成した場合について説明しているが、これと同様にして、図 1 に示す集積回路チップ 10d の上にかかる光インターフェクション回路を形成することもできる。

【0042】

図2は本実施形態に係る光インターフェクション回路を示し、(a)は概略側面図であり、(b)は概略平面図である。本実施形態に係る光インターフェクション回路は、基板10の表面に接着された第1微小タイル状素子21及び第2微小タイル状素子22と、第1微小タイル状素子21と第2微小タイル状素子22を繋ぐように基板10の表面に形成された光導波路材からなる光導波路30とかなるものである。なお、図1に示す実施形態と同一のものには同一の符号を付している。また、第1微小タイル状素子21及び第2微小タイル状素子22は、上記実施形態の微小タイル状素子200と同じものである。光導波路30をなす光導波路材としては、透明樹脂又はゾルゲルガラスを適用することができる。基板10としては、ガラスエポキシ、セラミック、プラスチック、ポリイミド、シリコン又はガラスなど任意のものを適用することができる。

【0043】

第1微小タイル状素子21は、発光機能をもつ発光部21aを備えている。第2微小タイル状素子22は、受光機能をもつ受光部22bを備えている。そして光導波路30をなす光導波路材は、少なくとも第1微小タイル状素子21の発光部21aと第2微小タイル状素子22の受光部22bを被うように形成されている。

【0044】

このような構成により、第1微小タイル状素子21の発光部21aから放射された光は、光導波路30を伝播し、第2微小タイル状素子22の受光部22bに到達する。そこで、発光部21aの発光動作を制御して光信号を発光部21aから放射すると、その光信号が光導波路30を伝播し、その光信号を受光部22bが検出することができる。

【0045】

また、第1微小タイル状素子21から放射された光信号は、光導波路30を伝播して第2微小タイル状素子22に入射するとともに、第2微小タイル状素子22の上を通過する。これにより、1個の第1微小タイル状素子21から複数個の第2微小タイル状素子22へ略同時に光信号を送信することができる。ここで、第2微小タイル状素子22の厚さを $20\mu m$ 以下とすることにより、基板との段

差が十分小さくなるため、図2のように段差を乗り越えて連続的に光導波路30を形成できる。段差部において連続的に光導波路30を形成しても、段差が小さいため、散乱などの光の伝達損失はほとんど無視できる。そのため段差部に段差緩和のための特別な構造や光学素子を必要としない。よって低成本かつ簡便に作製できる。また、光導波路30をなす光導波路材の厚さを数十 μm 以下にすることができる。

【0046】

第1微小タイル状素子21は、例えば、LED、VCSEL（面発光レーザ）又は電界吸収変調器内蔵のDFBレーザを備えるものとする。発光デバイスとして、LEDはもっとも構造が単純で作製が容易であるが、光信号の変調速度が数百Mbps程度と遅い。これに対してVCSELは、10Gbpsを超える非常に高速な変調が可能であるうえ、しきい値電流が小さく発光効率が高いので低消費電力で駆動できる。DFBレーザは、変調速度は1Gbps程度と面発光レーザには及ばないものの、微小タイル形状の端部から基板10の平面と平行な方向、すなわち光導波路30に沿った方向へレーザ光を出射するため、面発光レーザより効率よく光信号を伝播することができる。

【0047】

第2微小タイル状素子22は、例えば、フォトダイオード又はフォトトランジスタを備えるものとする。ここで、フォトダイオードとしては、PIN型フォトダイオード、APD（アバランシェフォトダイオード）、MSM型フォトダイオードを用途に応じて選ぶことができる。APDは、光感度、応答周波数ともに高い。MSM型フォトダイオードは、構造が単純で增幅用トランジスタとともに集積化しやすい。

【0048】

また、受光素子からなる第3微小タイル状素子（図示せず）を第1微小タイル状素子21に重ねるように形成することもできる。こうすれば第1微小タイル状素子21の発光量を第3微小タイル状素子でモニタし、その値を第1微小タイル状素子21へフィードバックさせることでAPC機能を持たせることが可能となり、安定した光データ伝送を実現できる。あるいは第1微小タイル状素子21そ

のものにA P C機能を内蔵させてもよい。また、第2微小タイル状素子22は、検出した信号を増幅する回路などを備えることが望ましい。こうすることにより、装置をさらに高性能化することができる。

【0049】

そして、第1微小タイル状素子21及び第2微小タイル状素子22は、基板10に設けられた集積回路、又はE L表示回路、プラズマディスプレイ、液晶表示回路などの電子回路（図示せず）と電気的に接続されている。これにより、集積回路などからなるコンピュータシステムをコンパクトでありながら従来よりも高速にすることができます。また、基板10に設けられた平面ディスプレイなどの走査信号を本実施形態の光インターフェクション回路によって高速に伝送することができ、平面ディスプレイ装置における画面の大型化及び高品位化を促進することができる。

【0050】

図2においては、第1微小タイル状素子21と第2微小タイル状素子22がそれぞれ一つづつ、一本の光導波路30に結合されているが、第2微小タイル状素子22の個数は複数個であってもよい。この場合、一つの第1微小タイル状素子21（発光素子）から送信された光信号は、一本の光導波路30を伝播して、複数の第2微小タイル状素子22で同時に検出されることができる。これは一对多のバスラインと同じである。

【0051】

また、第1微小タイル状素子21と第2微小タイル状素子22ともに複数個であってもよい。ここで、各第1微小タイル状素子21は、放射する光の波長が異なるものとしてもよい。また、各第2微小タイル状素子22は、少なくとも一つの第1微小タイル状素子21が放射する光の波長に対応して、波長選択機能をもつ受光手段であることが好ましい。これらにより、複数の第1微小タイル状素子21からそれぞれ送信された複数の光信号が、1つの光導波路30を同時に伝播して、複数の第2微小タイル状素子22それぞれに検出されることができる。したがって、複数の光信号を並列に送受信することができるバスを、簡易に構成することができる。

【0052】

また、光導波路30は、図2においては直線状に形成されているが、曲線状に形成したり複数に分岐させることもできる。また、ループ状に形成してもかまわない。また、複数のタイル状素子を覆うようにシート状に形成してもよい。もちろん一つの基板10の表面に複数の組の第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成してもかまわない。さらに、基板10の表裏両面に第1微小タイル状素子21と第2微小タイル状素子22及び光導波路30を形成することもできる。

【0053】

次に、本実施形態に係る光インターフェクション回路の変形例について図3から図6を参照して説明する。本実施形態は、第1微小タイル状素子21及び第2微小タイル状素子22の近傍の光導波路30において、光を散乱する光散乱機構を備えている点が図2に示す構成と異なる。図3は本実施形態に係る光インターフェクション回路の変形例を示す概略側面図である。

【0054】

本光インターフェクション回路は、光導波路30をなす光導波路材における第1微小タイル状素子21及び第2微小タイル状素子22の近傍に、光散乱機構31aをなす光散乱粒子が分散されている。光散乱粒子としては、例えばシリカ粒子、ガラス粒子又は金属粒子などを用いる。この光散乱機構31aを備えた光導波路30は、例えばディスペンサあるいはインクジェットノズルなどから液滴を吐出する液滴吐出方式を用いる。具体的には、あるインクジェットノズルなどから液状の光導波路材（樹脂など）を所定部位に吐出するとともに、他のインクジェットノズルなどから光散乱粒子を含んだ液状の光導波路材を所定部位に吐出することで、光散乱機構31aを備えた光導波路30を形成する。

【0055】

また、光導波路30の構成材料としては、樹脂の他にゾルゲルガラスを適用することができる。ゾルゲルガラスの製法は、金属アルコキシドに酸を加えて加水分解した溶液などを所定部位に塗布し、熱などのエネルギーを加えてガラス化するものである。

【0056】

図4は本実施形態に係る光インターフェクション回路の他の変形例を示す概略側面図である。本光インターフェクション回路の光散乱機構31a'は、光散乱粒子を分散した樹脂又はガラスがドーム状に形成したドーム状光散乱機構である。この光散乱機構31a'（ドーム状光散乱機構）を覆うように光導波路30が形成されている。この光散乱機構31a'は、図3に示す光散乱機構31aよりも、その大きさ及び形状などが制御しやすいので、光導波路30と第1微小タイル状素子21又は第2微小タイル状素子22との光結合効率の容易な調整が可能となる。

【0057】

次に、光散乱機構31a'の製造方法について説明する。まず、インクジェット又はディスペンサなどを用い、光散乱粒子を含んだ液状の樹脂又は珪酸エチルなどの金属アルコキシドに酸を加え加水分解した溶液などを基板10の所定部位にドーム状に塗布する。次いで、その塗布した部位に熱などのエネルギーを加えてかかる溶液を硬化又はガラス化する。このようにしてドーム状の光散乱機構31a'を第1微小タイル状素子21又は第2微小タイル状素子22の上に形成する。次いで、ドーム状の光散乱機構31a'を覆うように透明樹脂又はゾルゲルガラスで線状の光導波路30を形成する。

【0058】

図5は本実施形態に係る光インターフェクション回路の他の変形例を示す概略側面図である。本光インターフェクション回路の光散乱機構31bは、光導波路30をなす光導波路材の表面に凹凸を設けた構成としている。この光散乱機構31bも第1微小タイル状素子21及び第2微小タイル状素子22の近傍に設けられている。ここで、光散乱機構31bをなす凹凸は、エンボス加工又はスタンパー転写などで形成する。

【0059】

図6は本実施形態に係る光インターフェクション回路の他の変形例を示し、（a）は概略側面図であり、（b）は概略平面図である。本光インターフェクション回路の光散乱機構31cは、光導波路30をなす線状の光導波路材の線幅及び

高さを変化させた構成としている。すなわち、光導波路30において、第2微小タイル状素子22の受光部22bの近傍について光導波路材の線幅及び高さを小さく絞っている。

【0060】

光散乱機構31cを備えた光導波路30の製造方法について次に説明する。先ず、基板10の表面の所望位置に第1微小タイル状素子21及び第2微小タイル状素子22を接着する。次いで、基板10の表面全体、並びに第1微小タイル状素子21及び第2微小タイル状素子22の表面全体に撥液処理を施す。次いで、撥液処理した面における光導波路30を設ける領域に親液処理を施す。ここで、親液処理を施す領域は、線状であって第2微小タイル状素子22の受光部22bの近傍について線幅を絞ったパターンとする。なお、親液処理としては、例えば紫外線を照射することで行う。

【0061】

次いで、親液処理した領域内に、インクジェットノズルなどから液状の光導波路材を滴下する。すると、かかる滴下された光導波路材は、親液処理された領域において濡れ広がる作用を受け、撥液処理された領域からは弾き出される作用を受け、また表面張力なども作用する。そこでかかる光導波路材は、図6に示すような受光部22bの近傍で線幅が絞られた形状となる。

【0062】

上記のように、光導波路30における第1微小タイル状素子21の近傍に光散乱機構31a, 31b, 31cを設けることにより、第1微小タイル状素子21から放射された光信号がその光散乱機構31a, 31b, 31cで散乱され、光導波路全体に効率よく光信号を伝播させることができる。また、第2微小タイル状素子22の近傍に光散乱機構31a, 31b, 31cを設けることで、光導波路30を伝播してきた光信号が第2微小タイル状素子22の近傍で散乱され、光信号を第2微小タイル状素子22に効率よく入射させることができる。

【0063】

次に、本実施形態に係る光インターフェクション回路のさらなる変形例について図7から図9を参照して説明する。本実施形態は、光導波路30における第1

微小タイル状素子 21 及び第 2 微小タイル状素子 22 の近傍、又は光導波路 30 の端部に、光を反射する光反射機構を備える点が上記実施形態と異なる。図 7 は、本実施形態に係る光インターフェクション回路の変形例を示し、(a) は概略側面図であり、(b) は概略平面図である。

【0064】

例えば、光導波路 30 をなす光導波路材の表面に金属膜を形成することで光反射機構 32a, 32b を設ける。また、光導波路 30 をなす光導波路材の表面に金属微粒子を含む塗料を塗布することで光反射機構 32a, 32b を設けてよい。金属微粒子としては、銀、アルミニウム、マグネシウム、銅、ニッケル、チタン、クロム、亜鉛などの微粒子を適用することができる。光反射機構 32a, 32b をなす金属膜の形成及び金属微粒子を含む塗料の塗布は、インクジェットノズルなどから塗料などを吐出することで行ってよい。また、光反射機構 32a 又は光反射機構 32b は、光導波路 30 の全体に施してもかまわない。

【0065】

このような構成にすることにより、第 1 微小タイル状素子 21 から放射された光信号が光反射機構 32a で光導波路 30 に沿う方向に反射され、その光信号の一部が光反射機構 32b で第 2 微小タイル状素子 22 の方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができる。

【0066】

図 8 は本実施形態に係る光インターフェクション回路の他の変形例を示し、(a) は概略側面図であり、(b) は概略平面図である。本光インターフェクション回路の光反射機構 32c は、反射面を有する反射板が光導波路 30 の端部に貼り付けられた構成となっている。ここで、光反射機構 32c の反射面は、基板 10 の表面に対して例えば 45 度の角度をもつよう設けられている。

【0067】

また、本光インターフェクション回路では、2 本の平行な光導波路 30a, 30b が設けられている。そして、光反射機構 32c は、2 本の光導波路 30a, 30b の一方端に設けられ、光導波路 30a, 30b に共用される 1 枚の共通反射板となっている。そこで、2 つの第 1 微小タイル状素子 21 からそれぞれ放射さ

れた光信号は、光反射機構 32c によってそれぞれ光導波路 30a, 30b に沿う方向に反射される。したがって、本実施形態によれば、光信号を効率よく伝播させることができるとともに、効率よく光インターフェクション回路を製造することができる。

なお、図 8 に示す形態では、2 本の光導波路 30a, 30b に共通の光反射機構 32c を設けたが、3 本以上の光導波路に共通の光反射機構 32c を設けてもよい。

【0068】

図 9 は本実施形態に係る光インターフェクション回路の他の変形例を示し、(a) は概略側面図であり、(b) は概略平面図である。本光インターフェクション回路の光反射機構 32d, 32e は、グレーティングを施した板状の光学部品（グレーティング部品）である。光反射機構 32d は第 1 微小タイル状素子 21 に被さるように、光反射機構 32e は第 2 微小タイル状素子 22 に被さるように、光導波路 30 上に設置されている。

【0069】

ここで、光導波路 30a と光導波路 30b の間隔が比較的大きい場合は、図 9 に示すように各光導波路 30a, 30b に別個に光反射機構 32e を取り付ける。光導波路 30a と光導波路 30b が接近しておりほぼ平行に配置されている場合は、図 9 に示すように光導波路 30a, 30b に共通な光反射機構 32d を取り付けてもよい。

【0070】

上記図 3 から図 9 に示す光散乱機構及び光反射機構は、互いに組み合わせて用いるとより効果的である。

【0071】

(製造方法)

次に、上記実施形態に係る光インターフェクション回路における光導波路 30 の製造方法について、図 10 から図 13 を参照して説明する。図 10 は光導波路 30 の製造方法を示す模式側面図である。

【0072】

先ず、基板 10 の上面に上記第 1 微小タイル状素子及び第 2 微小タイル状素子を接着しておく。その後、光導波路 30 の製造工程に入る。そして、図 10 (a) に示すように、基板 10 の上面と第 1 微小タイル状素子及び第 2 微小タイル状素子（図示せず）の上面の全体に、液状の光硬化樹脂 30c をコーティングする。このコーティングは、スピンドルコート法、ロールコート法、スプレイコート法などで行う。

【0073】

次いで液状の光硬化樹脂 30c に対して、所望パターンのマスクを介して紫外線（UV）を照射する。これにより、液状の光硬化樹脂 30c における所望領域だけが硬化しパターニングされる。そして、硬化していない樹脂を洗浄などにより除去することで、図 10 (b) に示すように、硬化された光導波路材からなる光導波路 30d が形成される。

【0074】

図 11 は光導波路 30 の製造方法についての他の例を示す模式側面図である。先ず、基板 10 の上面に上記第 1 微小タイル状素子及び第 2 微小タイル状素子を接着しておく。その後、光導波路 30 の製造工程に入る。そして、図 11 (a) に示すように、基板 10 の上面と第 1 微小タイル状素子及び第 2 微小タイル状素子（図示せず）の上面全体に樹脂 30e をコーティングして硬化させる。このコーティングは、スピンドルコート法、ロールコート法、スプレイコート法などで行う。次いで、樹脂 30e における所望領域にレジストマスク 41 を形成する。このレジストマスク 41 の形成領域は光導波路 30 を形成する領域と同じである。

【0075】

次いで、図 11 (b) に示すように、レジストマスク 41 の上から基板 10 全体についてドライエッチング又はウェットエッチングを施し、レジストマスク 41 の下以外にある樹脂 e を除去する。このようにフォトリソパターニングして、レジストマスク 41 を除去することで、光導波路材からなる光導波路 30f が形成される。

【0076】

図 12 は光導波路 30 の製造方法についての他の例を示す模式側面図である。

先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、基板10の上面と第1微小タイル状素子及び第2微小タイル状素子（図示せず）の上面全体に、撥液処理を施して撥液表面51を設ける。

【0077】

次いで、図12（a）に示すように、撥液表面51における所望パターン領域に紫外線を照射することなどして、撥液表面51のなかに所望パターンの親液表面52を設ける。次いで、図12（b）に示すように、親液表面52のなかに、インクジェットノズルまたはディスペンサなどから液状の光導波路材30gを滴下する。光導波路材30gとしては、透明樹脂又はゾルゲルガラスを用いる。そして、基板10上に滴下された光導波路材30gを硬化させることで、光導波路材からなる光導波路30hが形成される。

ゾルゲルガラスで光導波路30gを形成する場合は、金属アルコキシドに酸を加えて加水分解した溶液などをインクジェットノズルまたはディスペンサなどから親液表面52に滴下する。次いで、滴下した溶液に熱などのエネルギーを加えてガラス化し光導波路30hとする。

【0078】

図13は光導波路30の製造方法についての他の例を示す模式側面図である。先ず、基板10の上面に上記第1微小タイル状素子及び第2微小タイル状素子を接着しておく。その後、光導波路30の製造工程に入る。そして、図13（a）に示すように、基板10の上面並びに第1微小タイル状素子及び第2微小タイル状素子の上面であって、光導波路30を設けようとする領域を被うように、液状の樹脂30iを塗布する。

【0079】

次いで、光導波路30のパターン形状52をもつ型であるスタンパ51を、基板10の上方から基板10の表面に押し付ける。次いで、図13（b）に示すように、基板10の表面からスタンパ51を持ち上げる。これらにより、スタンパ51を用いたパターン転写法により、基板10上に所望パターン形状の光導波路材からなる光導波路30jが形成される。

【0080】

光導波路30の製造方法は、上記図10から図13に示す方法以外に、次に述べる方法を用いててもよい。例えば、スクリーン印刷又はオフセット印刷などの印刷法を用いて、光導波路30をなす光導波路材を設けてもよい。また、スリット状の隙間から液状の樹脂を吐出するスリットコート法を用いて、光導波路30をなす光導波路材を設けてもよい。スリットコート法としては、毛細管現象を用いて樹脂などの所望部材を基板10に塗布する手法を採用してもよい。

【0081】

(微小タイル状素子の製造方法)

次に、上記第1微小タイル状素子21及び第2微小タイル状素子22をなす微小タイル状素子の製造方法について図14から図23を参照して説明する。本実施形態の微小タイル状素子は、エピタキシャルリフトオフ法を基礎とする手法で作製される。本製造方法では、微小タイル状素子としての化合物半導体デバイス(化合物半導体素子)を基板となるシリコン・LSIチップ上に接合する場合について説明するが、半導体デバイスの種類及びLSIチップの種類に関係なく本発明を適用することができる。なお、本実施形態における「半導体基板」とは、半導体物質から成る物体をいうが、板形状の基板に限らず、どのような形状であっても半導体物質であれば「半導体基板」に含まれる。

【0082】

<第1工程>

図14は微小タイル状素子の製造方法の第1工程を示す概略断面図である。図14において、基板110は、半導体基板であり、例えばガリウム・ヒ素化合物半導体基板とする。基板110における最下位層には、犠牲層111を設けておく。犠牲層111は、アルミニウム・ヒ素(AlAs)からなり、厚さが例えば数百nmの層である。

例えば、犠牲層111の上層には機能層112を設ける。機能層112の厚さは、例えば $1\mu m$ から $10(20)\mu m$ 程度とする。そして、機能層112において半導体デバイス(半導体素子)113を作成する。半導体デバイス113としては、例えば発光ダイオード(LED)、面発光レーザ(VCSEL)、フォ

トダイオード（P D）、DFBレーザなどが挙げられる。これらの半導体デバイス113は、何れも基板110上に多層のエピタキシャル層を積層して素子が形成されたものである。また、各半導体デバイス113には、電極も形成し、動作テストも行う。

【0083】

<第2工程>

図15は微小タイル状素子の製造方法の第2工程を示す概略断面図である。本工程においては、各半導体デバイス113を分割するように分離溝121を形成する。分離溝121は、少なくとも犠牲層111に到達する深さをもつ溝とする。例えば、分離溝の幅及び深さとともに、 $10\mu m$ から数百 μm とする。また、分離溝121は、後述するところの選択エッチング液が当該分離溝121を流れるように、行き止まりなく繋がっている溝とする。さらに、分離溝121は、基盤のごとく格子状に形成することが好ましい。

また、分離溝121相互の間隔を数十 μm から数百 μm とすることで、分離溝121によって分割・形成される各半導体デバイス113のサイズを、数十 μm から数百 μm 四方の面積をもつものとする。分離溝121の形成方法としては、フォトリソグラフィとウェットエッチングによる方法、またはドライエッチングによる方法を用いる。また、クラックが基板に生じない範囲でU字形溝のダイシングで分離溝121を形成してもよい。

【0084】

<第3工程>

図16は微小タイル状素子の製造方法の第3工程を示す概略断面図である。本工程においては、中間転写フィルム131を基板110の表面（半導体デバイス113側）に貼り付ける。中間転写フィルム131は、表面に粘着剤が塗られたフレキシブルな帯形状のフィルムである。

【0085】

<第4工程>

図17は微小タイル状素子の製造方法の第4工程を示す概略断面図である。本工程においては、分離溝121に選択エッチング液141を注入する。本工程で

は、犠牲層111のみを選択的にエッチングするために、選択エッチング液141として、アルミニウム・ヒ素に対して選択性が高い低濃度の塩酸を用いる。

【0086】

<第5工程>

図18は微小タイル状素子の製造方法の第5工程を示す概略断面図である。本工程においては、第4工程での分離溝121への選択エッチング液141の注入後、所定時間の経過により、犠牲層111のすべてを選択的にエッチングして基板110から取り除く。

【0087】

<第6工程>

図19は微小タイル状素子の製造方法の第6工程を示す概略断面図である。第5工程で犠牲層111が全てエッチングされると、基板110から機能層112が切り離される。そして、本工程において、中間転写フィルム131を基板110から引き離すことにより、中間転写フィルム131に貼り付けられている機能層112を基板110から引き離す。

これらにより、半導体デバイス113が形成された機能層112は、分離溝121の形成及び犠牲層111のエッチングによって分割されて、所定の形状（例えば、微小タイル形状）の半導体素子（上記実施形態の「微小タイル状素子」）とされ、中間転写フィルム131に貼り付け保持されることとなる。ここで、機能層の厚さが例えば $1\text{ }\mu\text{m}$ から $8\text{ }\mu\text{m}$ 、大きさ（縦横）が例えば数十 μm から数百 μm であるのが好ましい。

【0088】

<第7工程>

図20は微小タイル状素子の製造方法の第7工程を示す概略断面図である。本工程においては、（微小タイル状素子161が貼り付けられた）中間転写フィルム131を移動させることで、最終基板171の所望の位置に微小タイル状素子161をアライメントする。ここで、最終基板171は、例えば、シリコン半導体（図1における基板10）からなり、LSI領域172が形成されている。また、最終基板171の所望の位置には、微小タイル状素子161を接着するため

の接着剤173を塗布しておく。

【0089】

＜第8工程＞

図21は微小タイル状素子の製造方法の第8工程を示す概略断面図である。本工程においては、最終基板171の所望の位置にアライメントされた微小タイル状素子161を、中間転写フィルム131越しに裏押しピン181で押しつけて最終基板171に接合する。ここで、所望の位置には接着剤173が塗布されているので、その最終基板171の所望の位置に微小タイル状素子161が接着される。

【0090】

＜第9工程＞

図22は微小タイル状素子の製造方法の第9工程を示す概略断面図である。本工程においては、中間転写フィルム131の粘着力を消失させて、微小タイル状素子161から中間転写フィルム131を剥がす。

中間転写フィルム131の粘着剤は、紫外線(UV)又は熱により粘着力が消失するものにしておく。UV硬化性の粘着剤とした場合は、裏押しピン181を透明な材質にしておき、裏押しピン181の先端から紫外線(UV)を照射することで中間転写フィルム131の粘着力を消失させる。熱硬化性の接着剤とした場合は、裏押しピン181を加熱すればよい。あるいは第6工程の後で、中間転写フィルム131を全面紫外線照射するなどして粘着力を全面消失させておいてもよい。粘着力が消失したとはいえ実際には僅かに粘着性が残っており、微小タイル状素子161は非常に薄く軽いので中間転写フィルム131に保持される。

【0091】

＜第10工程＞

本工程は、図示していない。本工程においては、加熱処理などを施して、微小タイル状素子161を最終基板171に本接合する。

【0092】

＜第11工程＞

図23は微小タイル状素子の製造方法の第11工程を示す概略断面図である。

本工程においては、微小タイル状素子 161 の電極と最終基板 171 上の回路を配線 191 により電気的に繋ぎ、一つの LSI チップなど（光インターフェクション回路用の集積回路チップ）を完成させる。最終基板 171 としては、シリコン半導体のみならず、石英基板又はプラスチックフィルムを適用してもよい。

【0093】

(応用例)

以下、本発明に係るチップ内光インターフェクション回路の応用例について説明する。

例えば上記実施形態のチップ内光インターフェクション回路をオプトエレクトロニクス集積回路システムの信号伝送手段として用いる。オプトエレクトロニクス集積回路システムとしては、コンピュータが挙げられる。そして、CPUをなす集積回路を基板 10 上に TFT 回路として形成し、記憶装置などをなす集積回路も基板 10 上に TFT 回路として形成する。そして、CPUなどをなす TFT 回路内での信号処理は電気信号を用いて行うが、TFT 回路相互間などのデータ伝送を上記実施形態のチップ内光インターフェクション回路を適用する。

【0094】

これらにより、本応用例によれば、簡易な構成でありながら、コンピュータの処理速度のボトルネックとなっているバスにおける信号伝達速度を従来よりも大幅に高めることが可能となる。また、本応用例によれば、コンピュータシステムなどを大幅に薄型化及び小型化することが可能となる。

【0095】

(電子機器)

上記実施形態のチップ内光インターフェクション回路又はフラットパネルディスプレイを備えた電子機器の例について説明する。

図 24 は、携帯電話の一例を示した斜視図である。図 24 において、符号 100 は上記のチップ内光インターフェクション回路を用いた携帯電話本体を示し、符号 1001 は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0096】

図25は、腕時計型電子機器の一例を示した斜視図である。図25において、符号1100は上記のチップ内光インターフェクション回路を用いた時計本体を示し、符号1101は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0097】

図26は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図26において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は上記のチップ内光インターフェクション回路を用いた情報処理装置本体、符号1206は上記のフラットパネルディスプレイ（電気光学装置）を用いた表示部を示している。

【0098】

図24から図26に示す電子機器は、上記実施形態のチップ内光インターフェクション回路又はフラットパネルディスプレイを備えているので、表示品位に優れ、特に、高速応答で明るい大きな画面の表示部を備えた電子機器を実現することができる。また、上記実施形態のチップ内光インターフェクション回路を用いることによって、従来のものよりも電子機器を薄型化及び小型化することができる。さらにまた、上記実施形態のチップ内光インターフェクション回路を用いることによって、製造コストを従来のものよりも低減することができる。

【0099】

なお、本発明の技術範囲は上記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能であり、実施形態で挙げた具体的な材料や構成などはほんの一例に過ぎず適宜変更が可能である。

【図面の簡単な説明】

- 【図1】 本発明の実施形態に係る集積回路チップを示す回路図である。
- 【図2】 同上の実施形態に係る回路要素の側面図と平面図である。
- 【図3】 同上の回路要素の変形例を示す側面図である。
- 【図4】 同上の回路要素の変形例を示す側面図である。
- 【図5】 同上の回路要素の変形例を示す側面図である。
- 【図6】 同上の回路要素の変形例を示す側面図と平面図である。

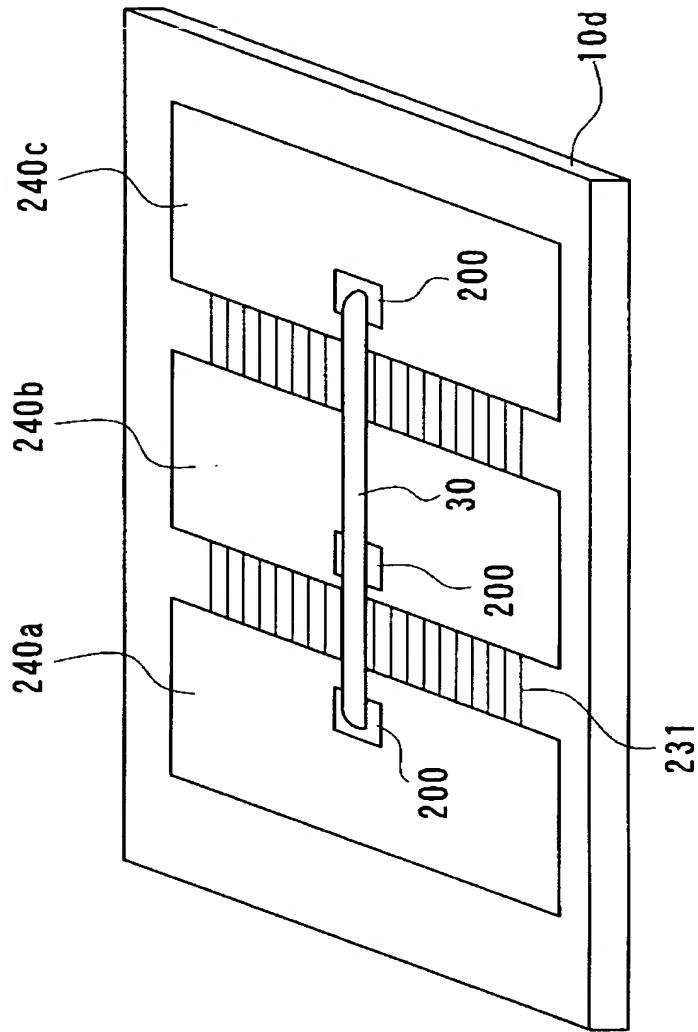
- 【図 7】 同上の回路要素の変形例を示す側面図と平面図である。
- 【図 8】 同上の回路要素の変形例を示す側面図と平面図である。
- 【図 9】 同上の回路要素の変形例を示す側面図と平面図である。
- 【図 10】 本発明の実施形態に係る製造方法を示す模式側面図である。
- 【図 11】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 12】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 13】 本発明の実施形態の他の製造方法を示す模式側面図である。
- 【図 14】 微小タイル状素子の製法の第 1 工程を示す概略断面図である。
- 【図 15】 同上の製法の第 2 工程を示す概略断面図である。
- 【図 16】 同上の製法の第 3 工程を示す概略断面図である。
- 【図 17】 同上の製造方法の第 4 工程を示す概略断面図である。
- 【図 18】 同上の製造方法の第 5 工程を示す概略断面図である。
- 【図 19】 同上の製造方法の第 6 工程を示す概略断面図である。
- 【図 20】 同上の製造方法の第 7 工程を示す概略断面図である。
- 【図 21】 同上の製造方法の第 8 工程を示す概略断面図である。
- 【図 22】 同上の製造方法の第 9 工程を示す概略断面図である。
- 【図 23】 同上の製造方法の第 11 工程を示す概略断面図である。
- 【図 24】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 25】 本実施形態の回路を備えた電子機器の一例を示す図である。
- 【図 26】 本実施形態の回路を備えた電子機器の一例を示す図である。

【符号の説明】

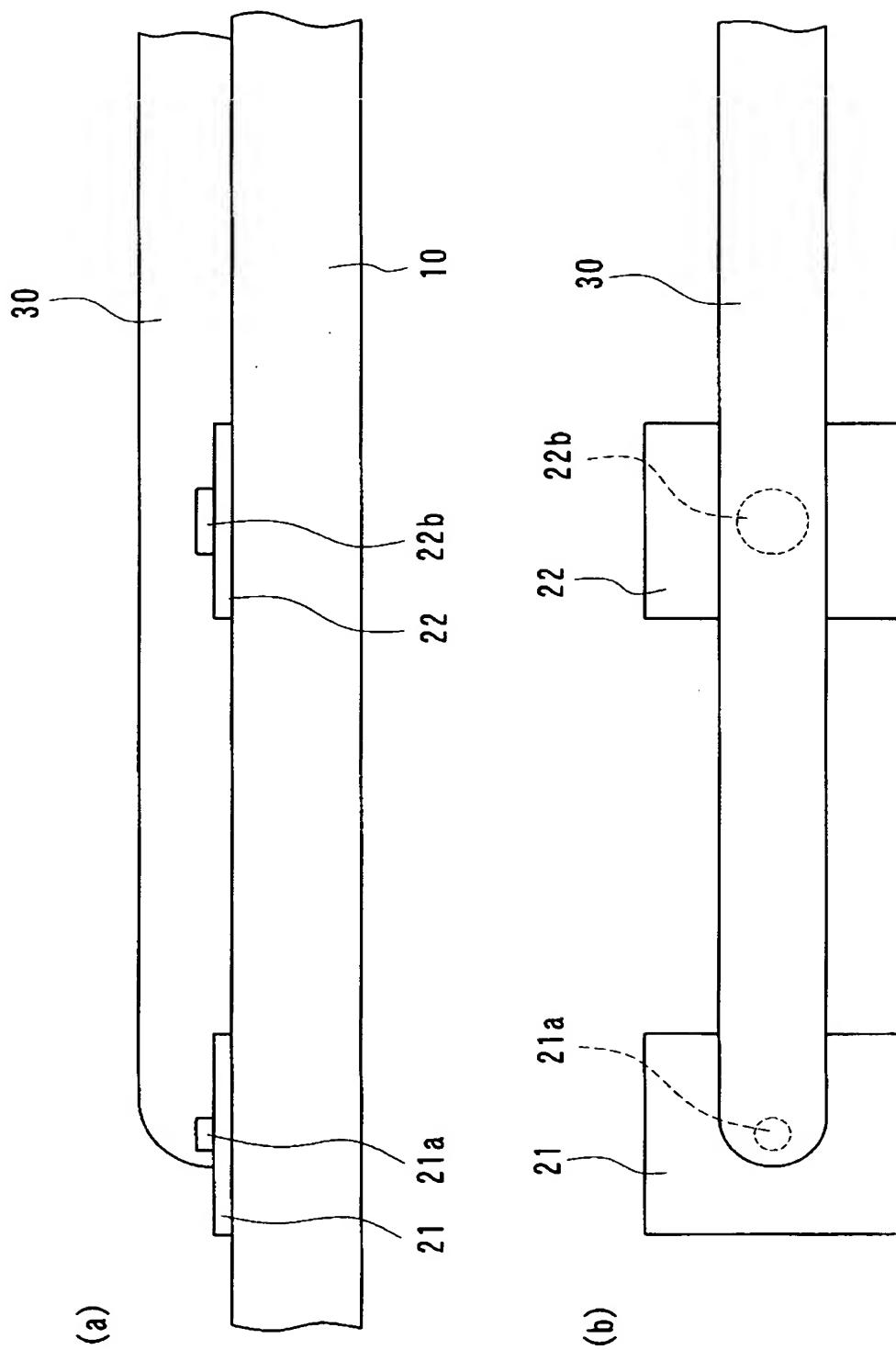
1 0 d … 集積回路チップ、 2 1 … 第 1 微小タイル状素子、 2 1 a … 発光部、 2
2 … 第 2 微小タイル状素子、 2 2 b … 受光部、 3 0 … 光導波路、 2 0 0 … 微小タ
イル状素子、 2 3 1 … メタル配線、 2 4 0 a, 2 4 0 b, 2 4 0 c … 回路ブロッ
ク

【書類名】 図面

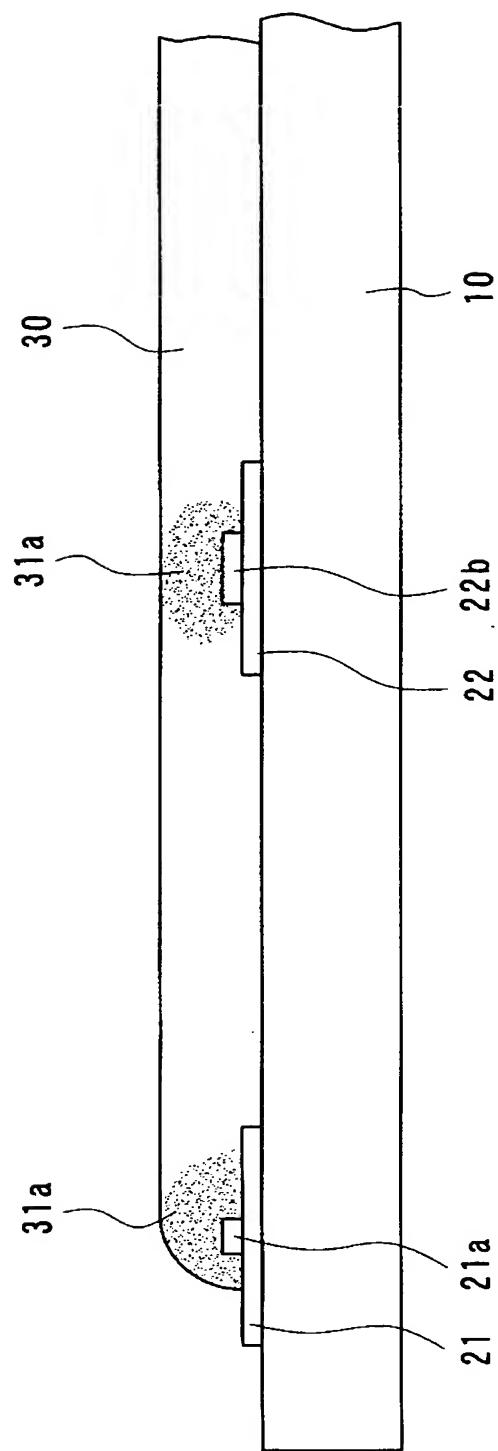
【図 1】



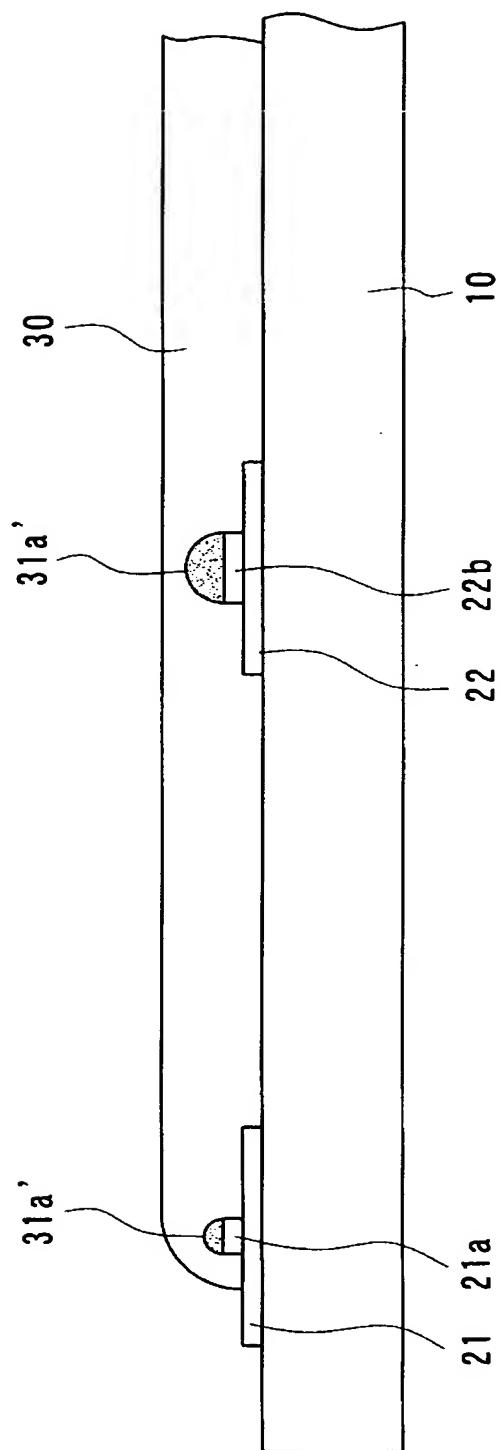
【図2】



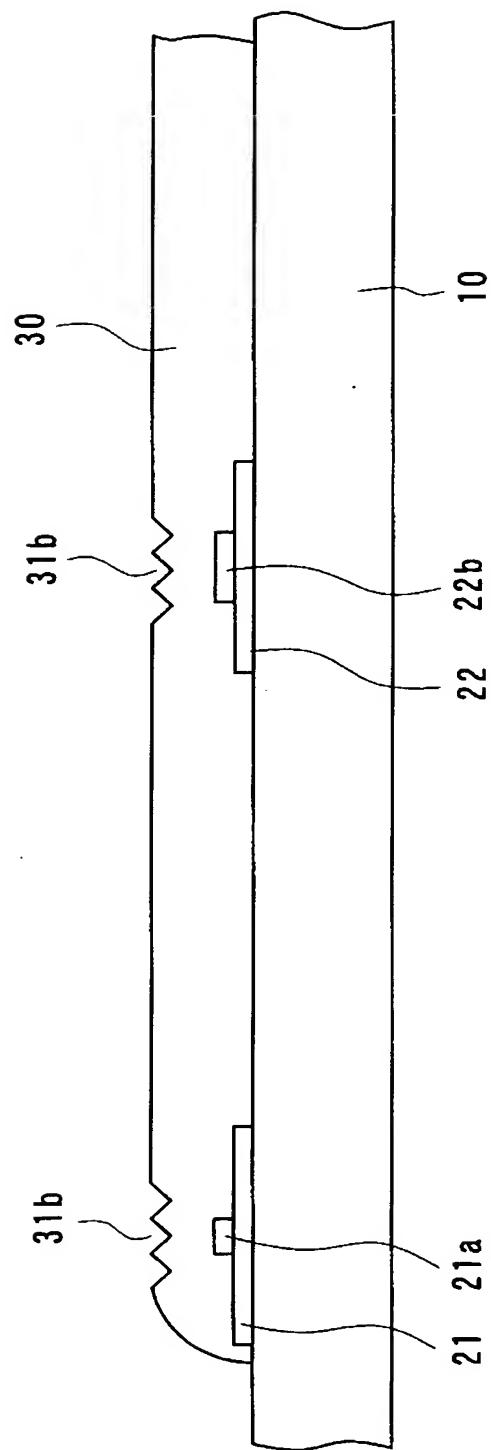
【図3】



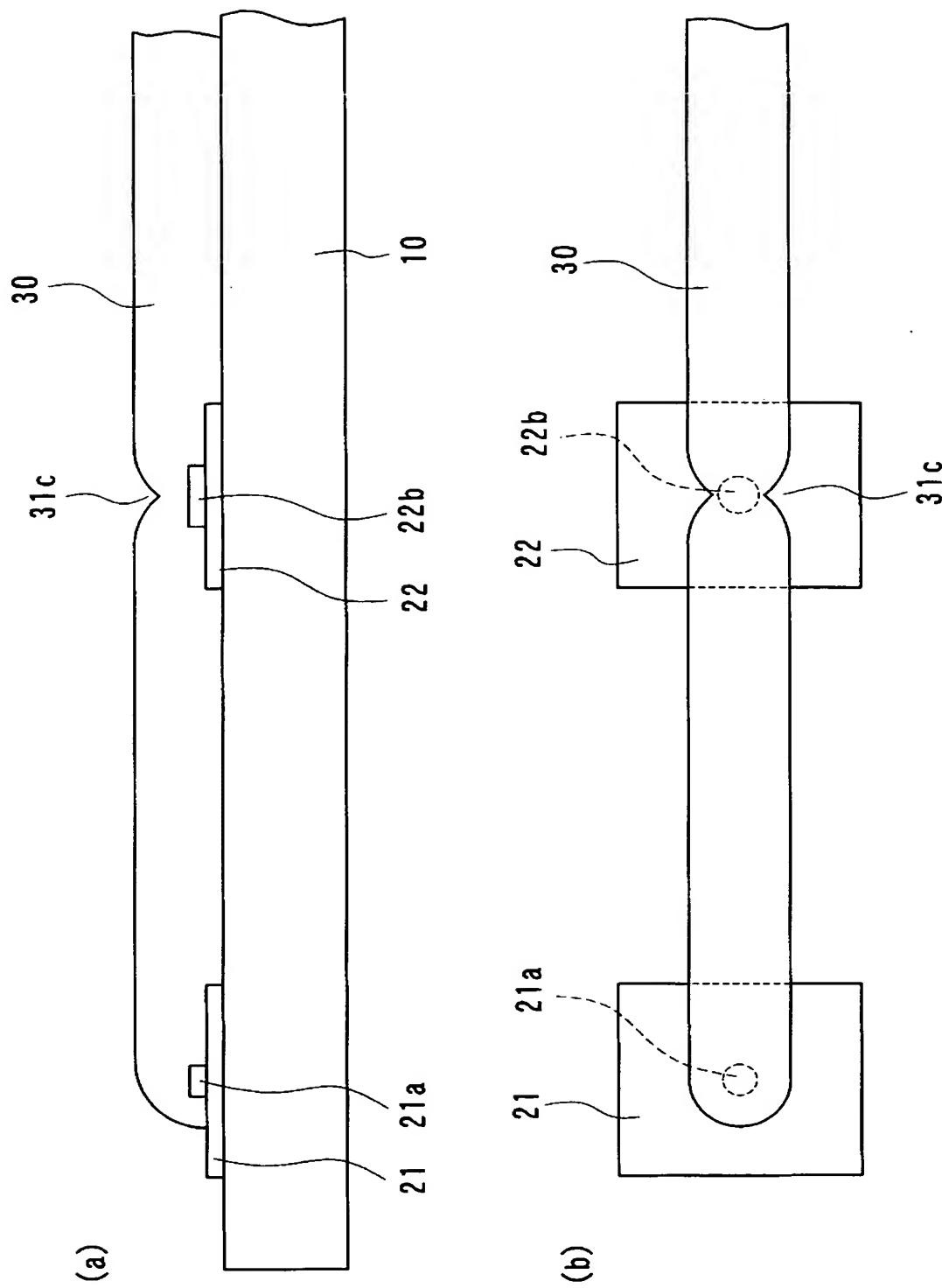
【図4】



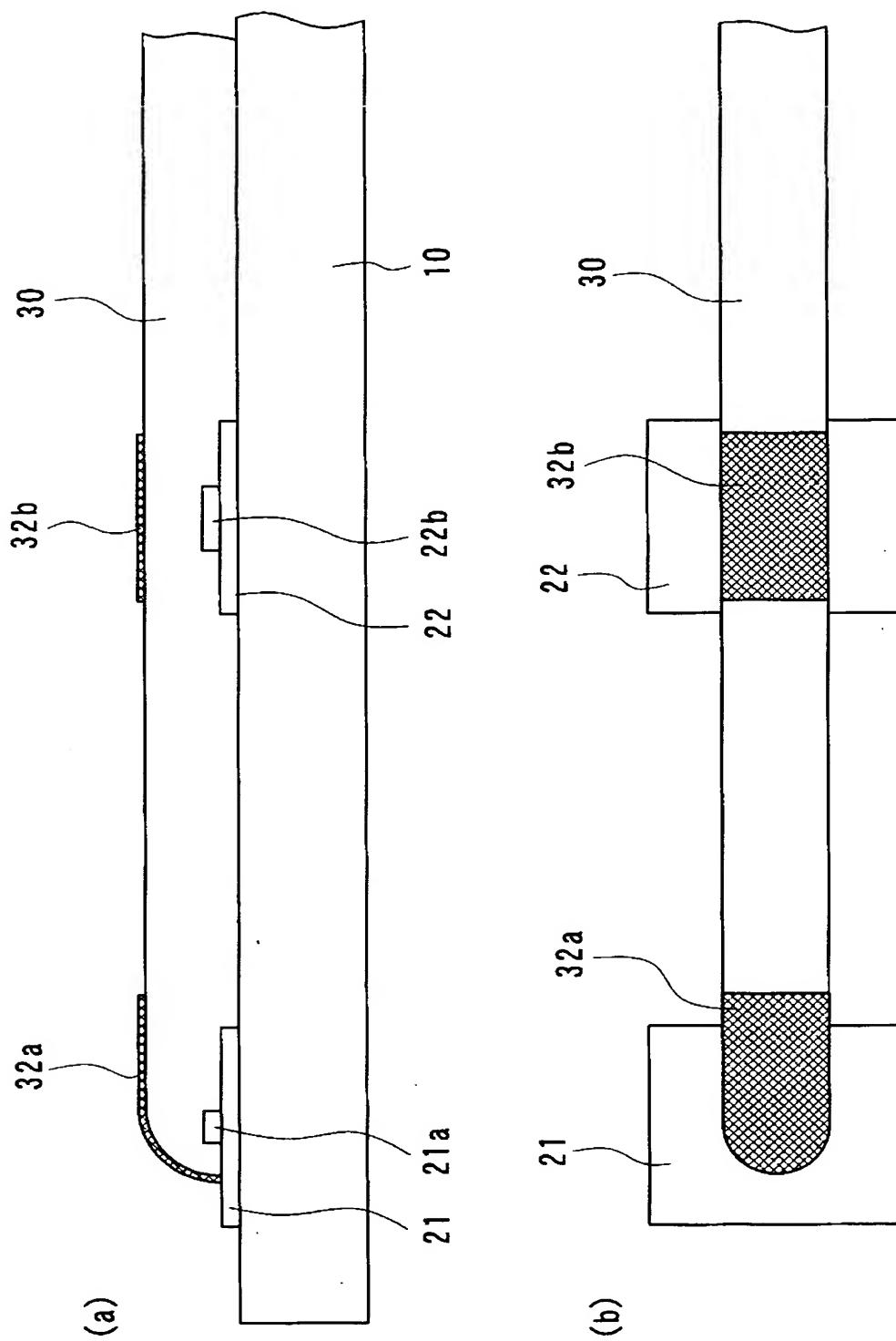
【図 5】



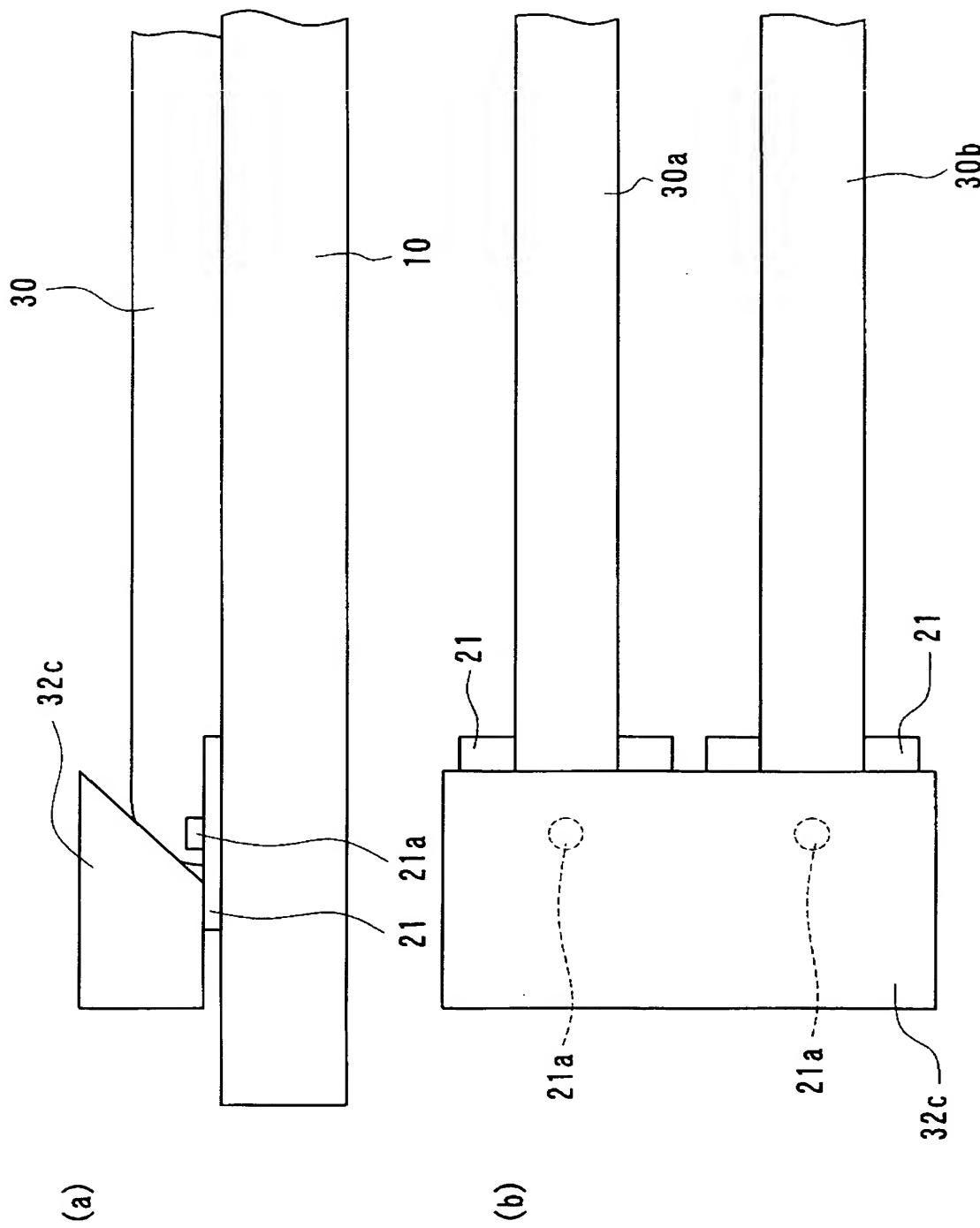
【図6】



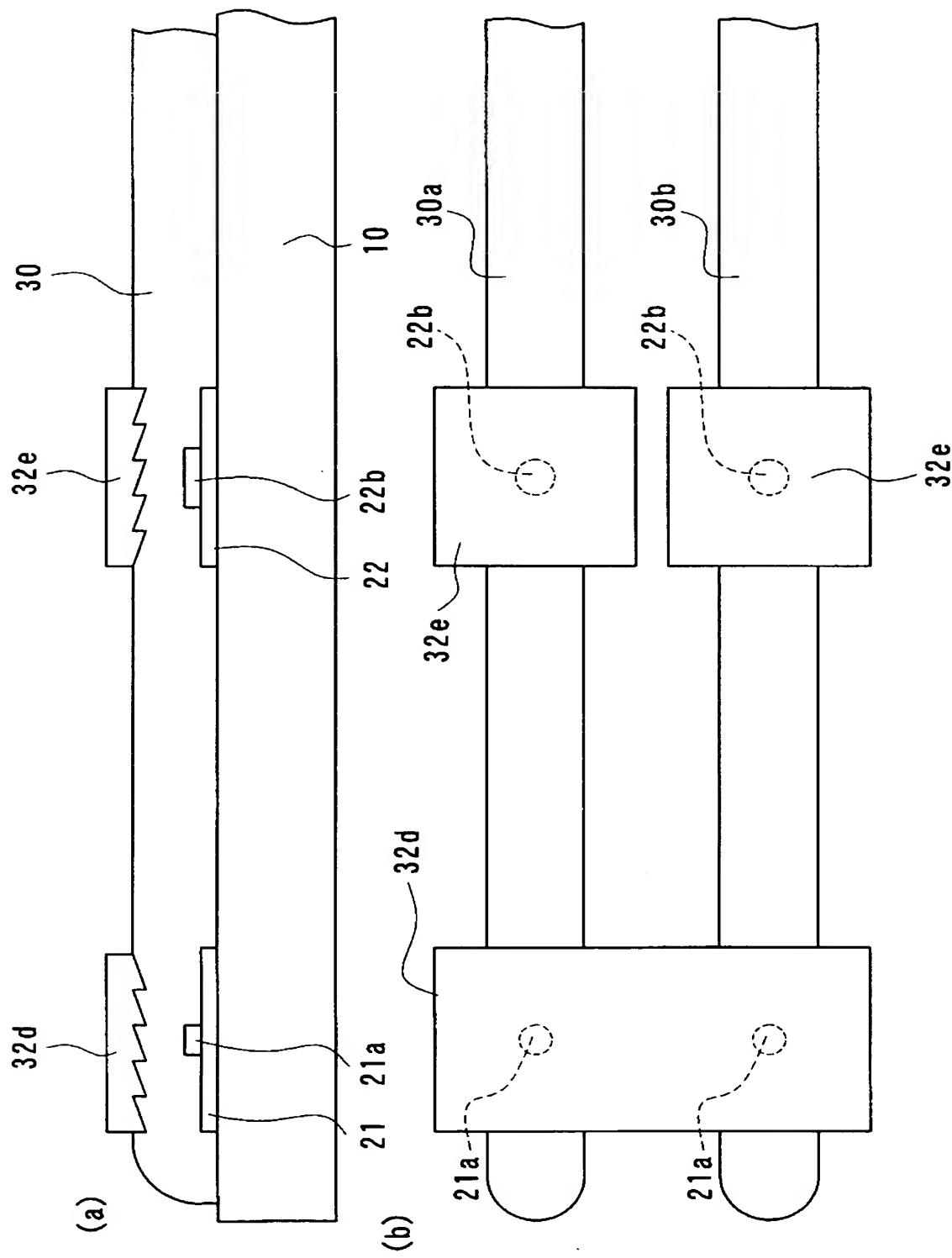
【図7】



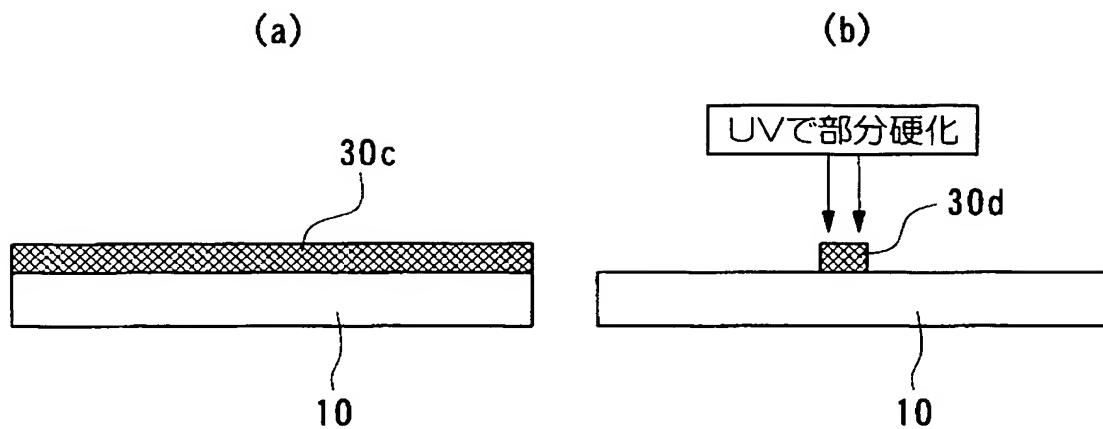
【図8】



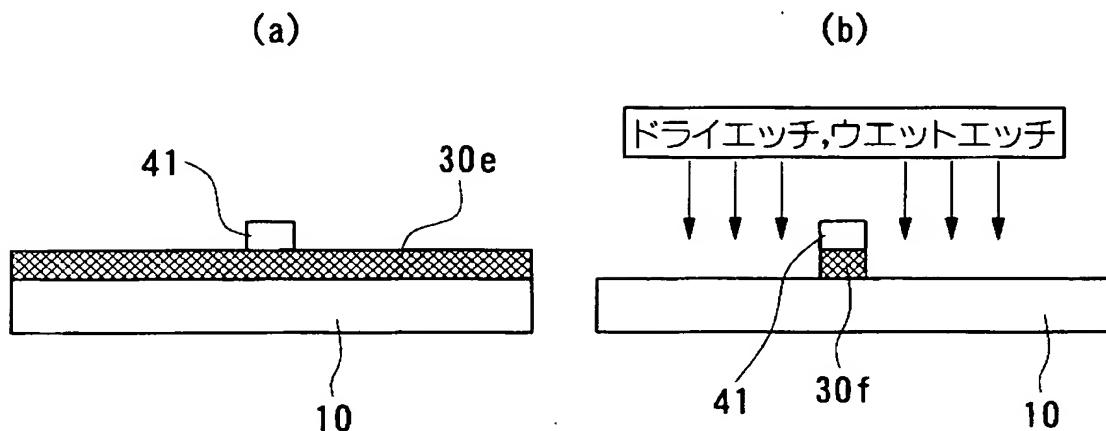
【図 9】



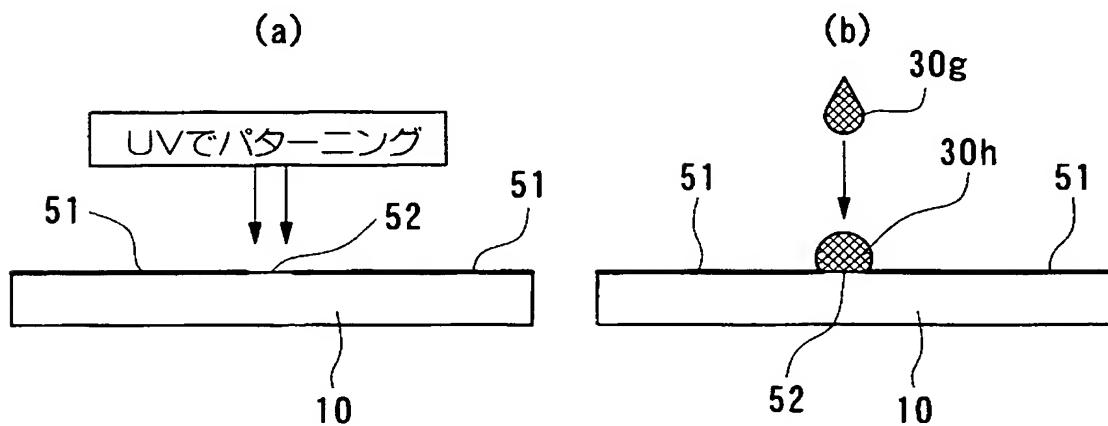
【図 10】



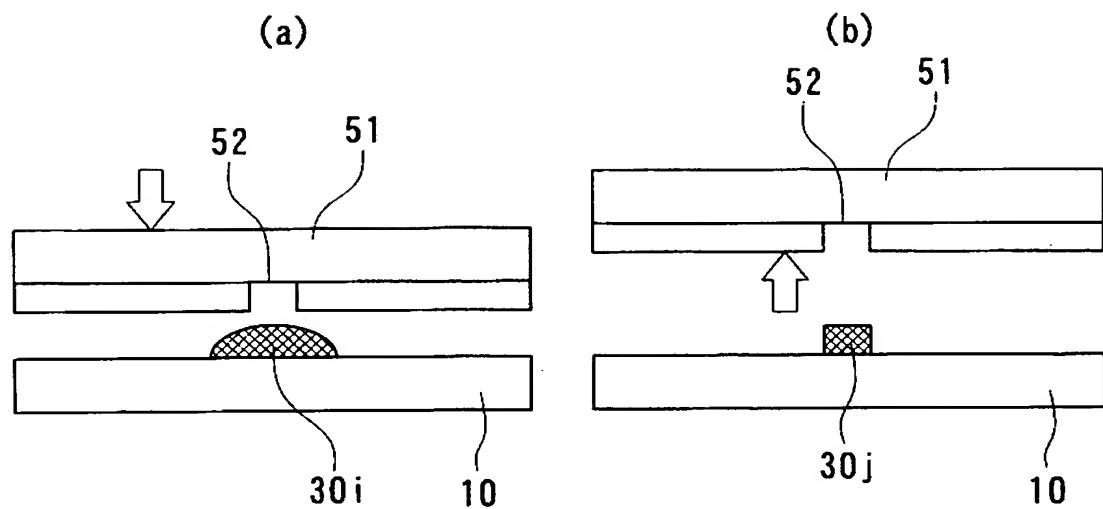
【図 11】



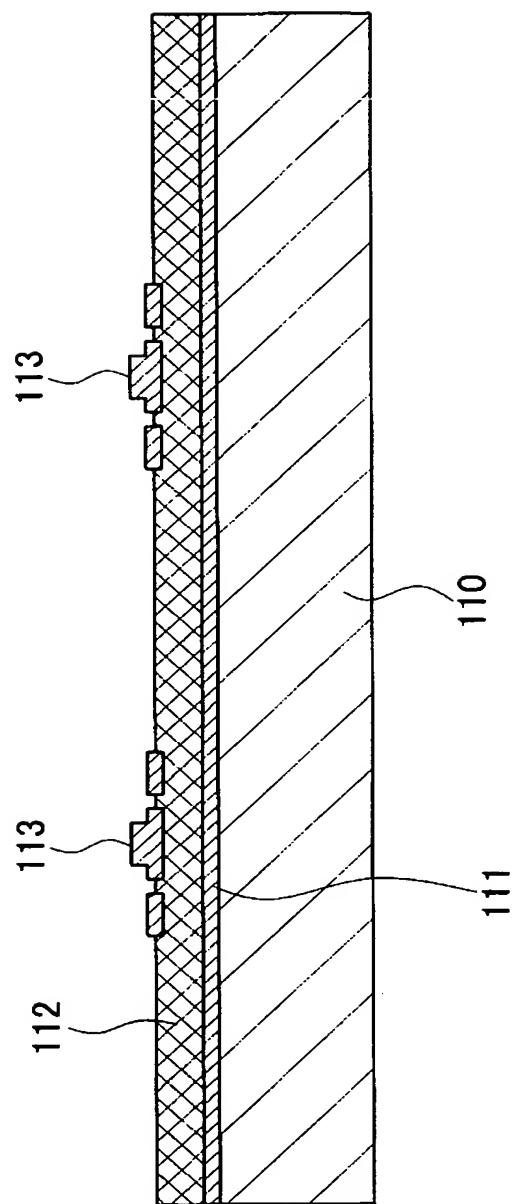
【図 12】



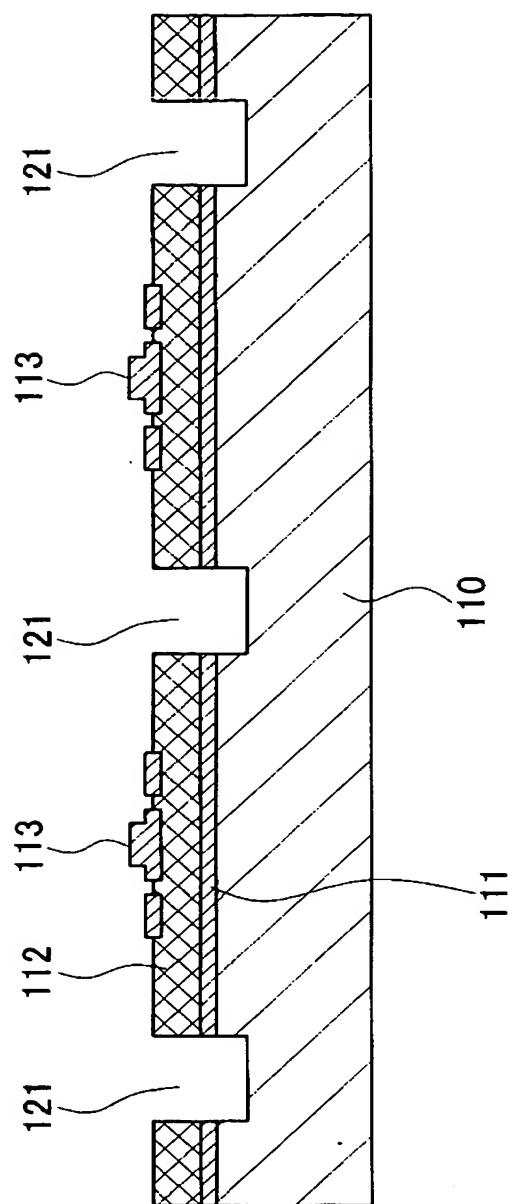
【図13】



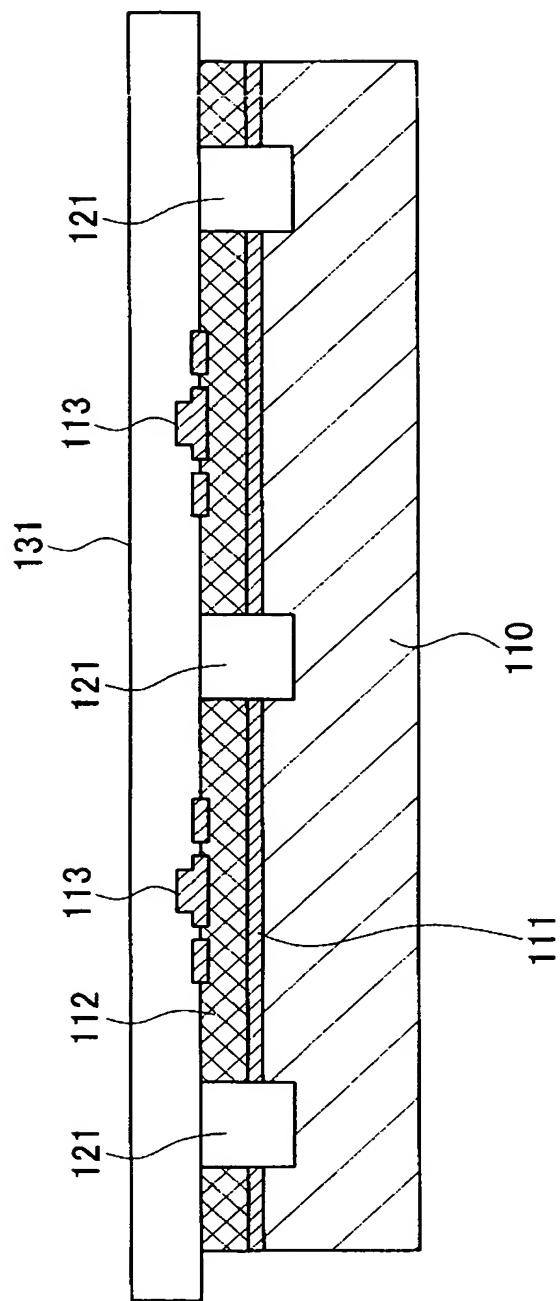
【図14】



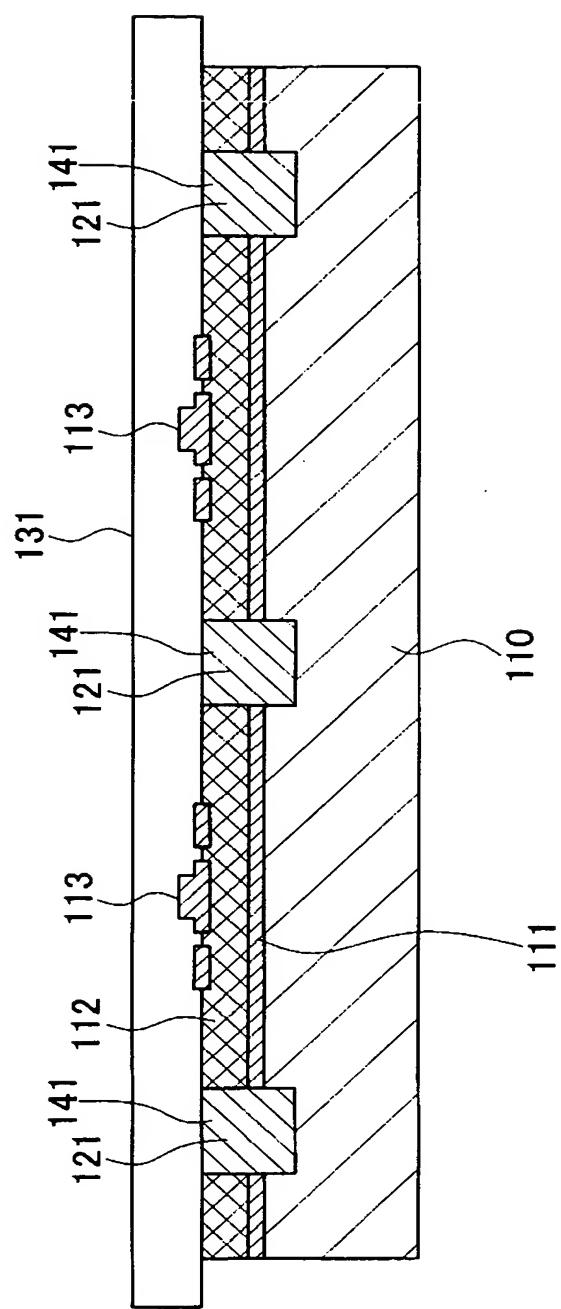
【図15】



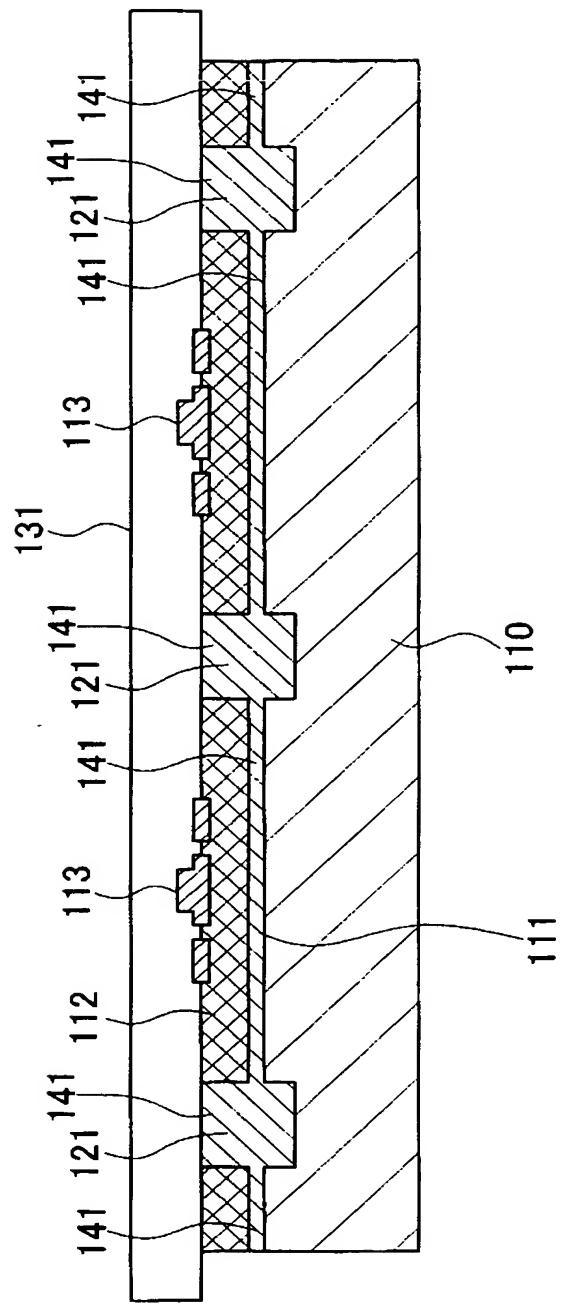
【図16】



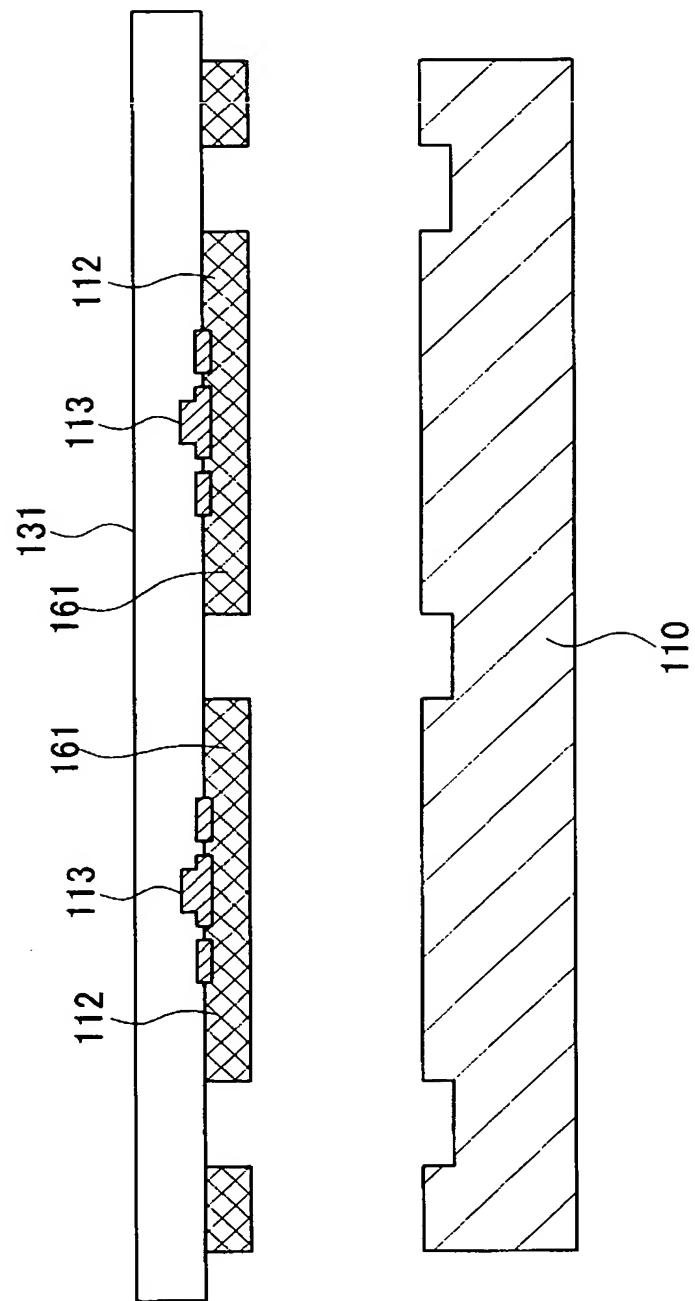
【図17】



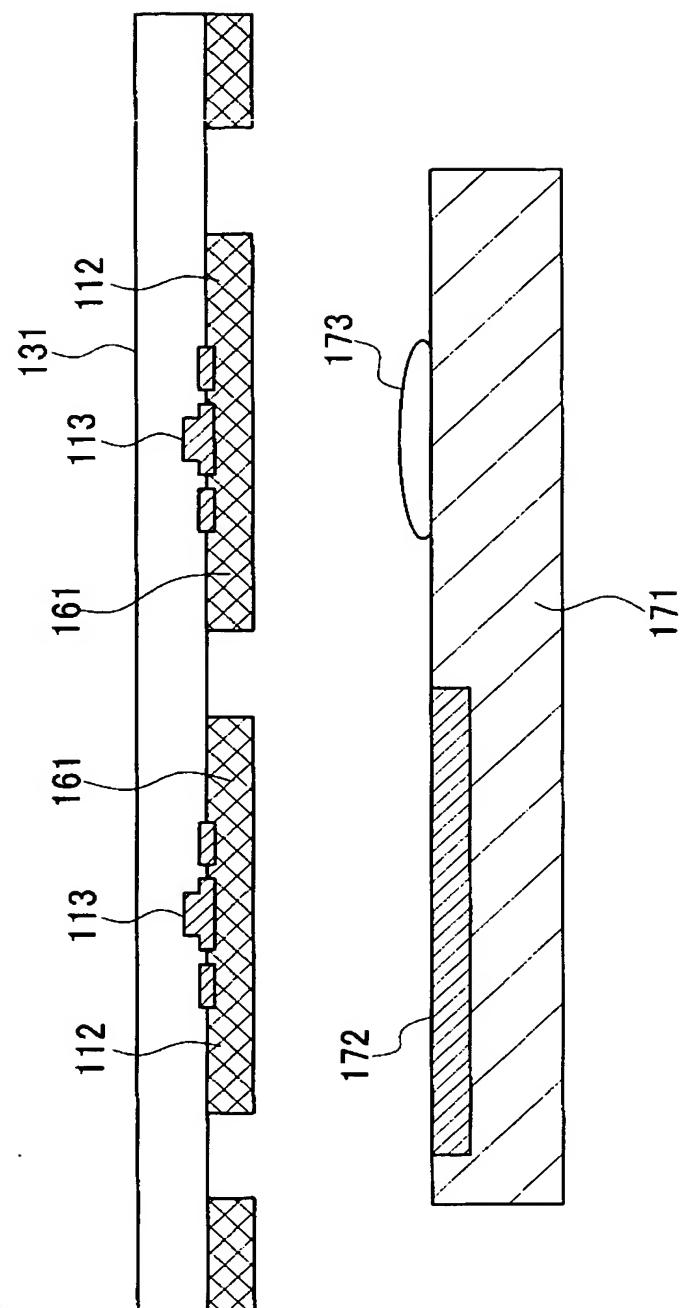
【図18】



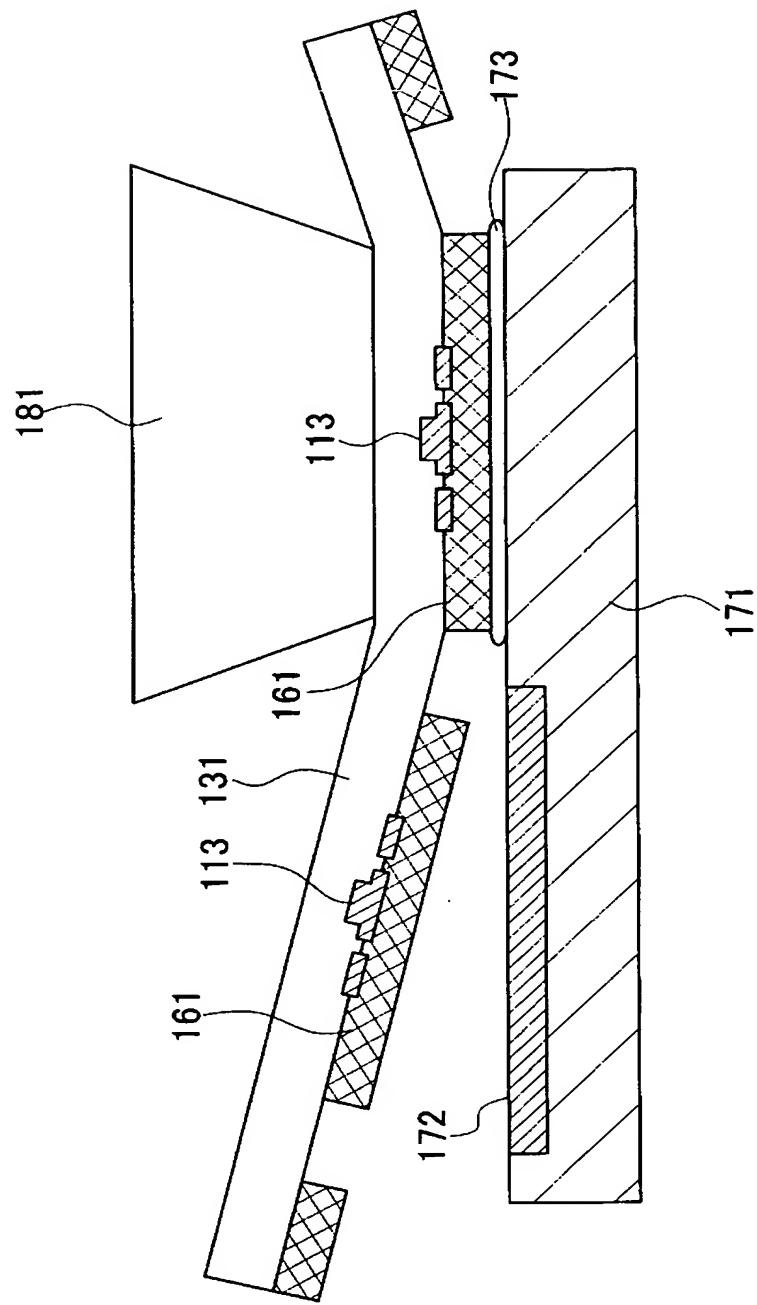
【図19】



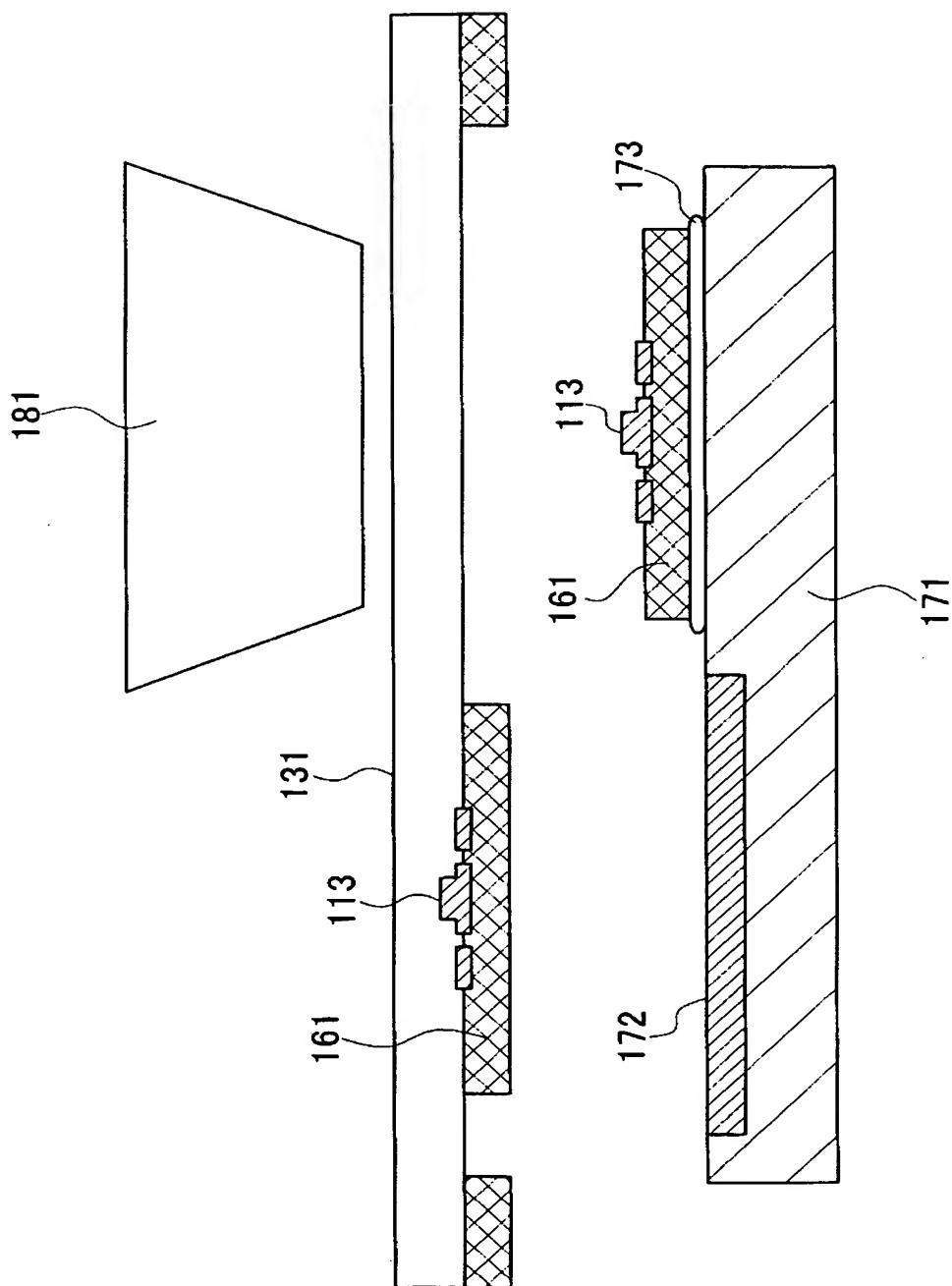
【図20】



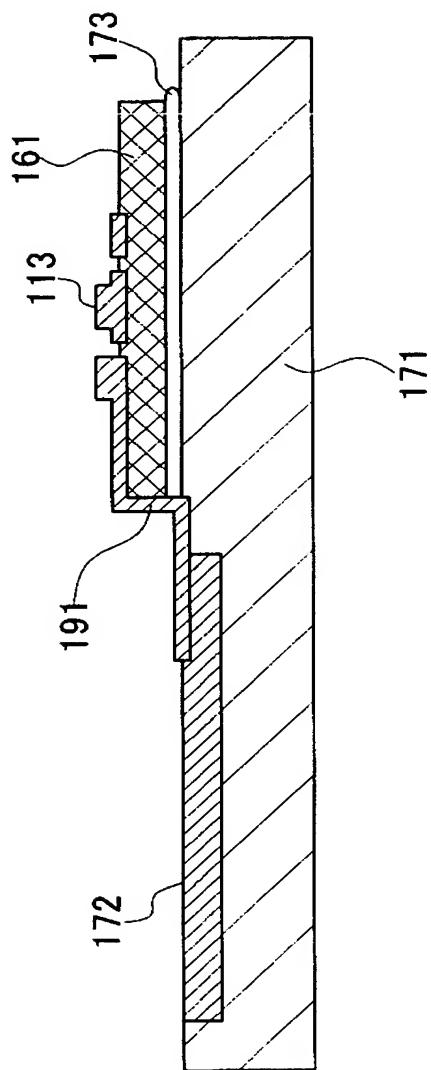
【図21】



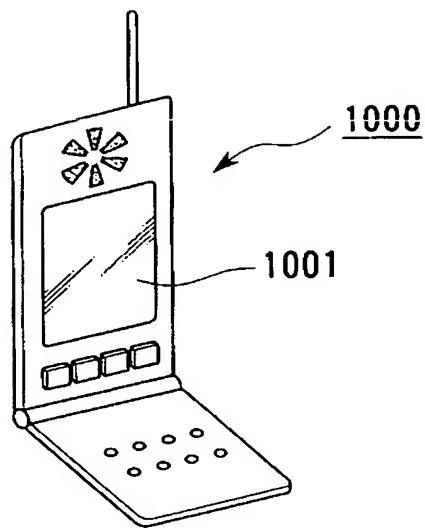
【図22】



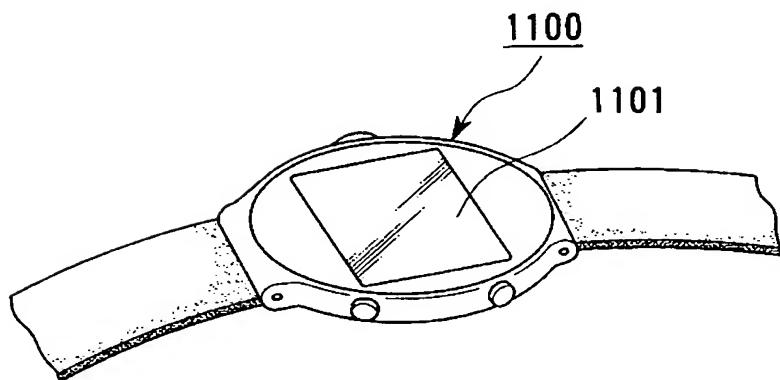
【図23】



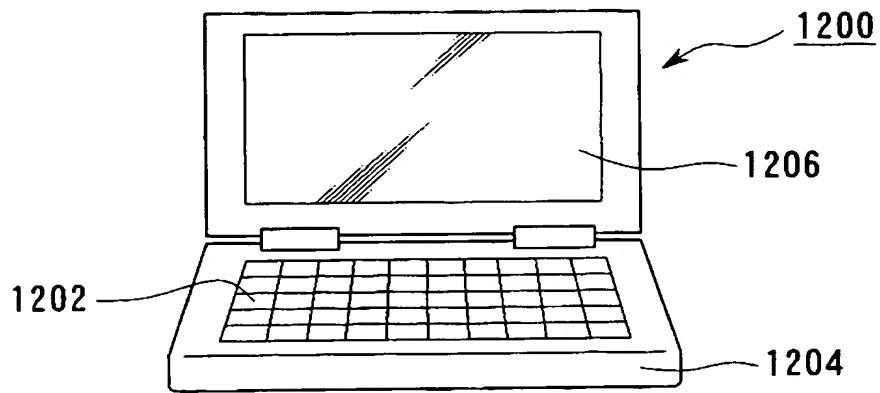
【図24】



【図25】



【図26】



【書類名】 要約書

【要約】

【課題】 信号伝達速度を高速化することができるとともに容易に微細化することができ、簡易に製造することができるチップ内光インターフェクション回路、電気光学装置および電子機器を提供する。

【解決手段】 1つの集積回路チップ10d上に設けられた複数の回路ブロック240a, 240b, 240cと、回路ブロック240a, 240b, 240c同士を光学的に接続するものであって集積回路チップ10dに設けられた光導波路30とを有することを特徴とする。

【選択図】 図1

認定・付加情報

特許出願の番号 特願 2002-355344
受付番号 50201852066
書類名 特許願
担当官 鈴木 夏生 6890
作成日 平成14年12月13日

<認定情報・付加情報>

【特許出願人】

【識別番号】 000002369
【住所又は居所】 東京都新宿区西新宿2丁目4番1号
【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100089037
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
【氏名又は名称】 志賀国際特許事務所
渡邊 隆

【代理人】

【識別番号】 100064908
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
【氏名又は名称】 志賀国際特許事務所
志賀 正武

【選任した代理人】

【識別番号】 100110364
【住所又は居所】 東京都新宿区高田馬場3丁目23番3号 ORビル
【氏名又は名称】 志賀国際特許事務所
実広 信哉

次頁無

特願2002-355344

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社